

W1396

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-091497

(43)Date of publication of application : 28.03.2003

(51)Int.Cl.

G06F 13/14

G06F 12/02

(21)Application number : 2002-143801

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 17.05.2002

(72)Inventor : MINO YOSHITERU  
HENMI MASANORI  
MATSUSHITA KENJI

(30)Priority

Priority number : 2001148277  
2001207508Priority date : 17.05.2001  
09.07.2001

Priority country : JP

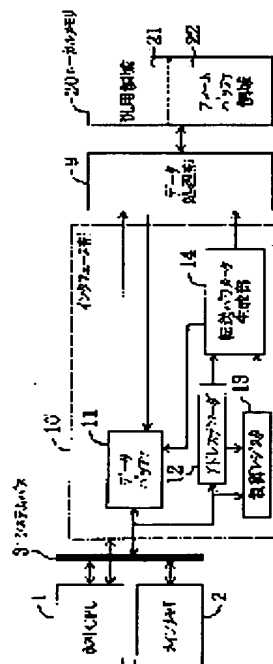
JP

## (54) DATA TRANSFERRING DEVICE AND METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a data transferring device capable of improving the performance of a whole system by performing high-speed data transfer to a local memory accompanied with address generation.

SOLUTION: The data transferring device for performing data transfer between a local memory having a frame buffer region where the coordinates of a pixel are made to correspond to an address in which the pixel is stored and the other general region and a system bus is provided with an interface part for performing the data transfer with the system bus, and for generating and outputting a transfer parameter for accessing either the frame buffer region or the general region based on control data for controlling the data transfer inputted from the system bus and a data processing part for performing the data transfer with the interface part, and for generating the address of data to be transferred in the local memory according to the transfer parameter, and for performing the data transfer with the local memory by using the address.



## LEGAL STATUS

[Date of request for examination]

17.05.2002

[Date of sending the examiner's decision of  
rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-91497

(P2003-91497A)

(43)公開日 平成15年3月28日(2003.3.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 6 F 13/14	3 2 0	G 0 6 F 13/14	3 2 0 A 5 B 0 1 4
12/02	5 7 0	12/02	5 7 0 J 5 B 0 6 0
	5 8 0		5 8 0 G

審査請求 有 請求項の数 9 O L (全 25 頁)

(21)出願番号 特願2002-143801(P2002-143801)

(22)出願日 平成14年5月17日(2002.5.17)

(31)優先権主張番号 特願2001-148277(P2001-148277)

(32)優先日 平成13年5月17日(2001.5.17)

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願2001-207508(P2001-207508)

(32)優先日 平成13年7月9日(2001.7.9)

(33)優先権主張国 日本(J P)

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 三野 吉輝  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 逸見 正憲  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100077931  
弁理士 前田 弘 (外7名)

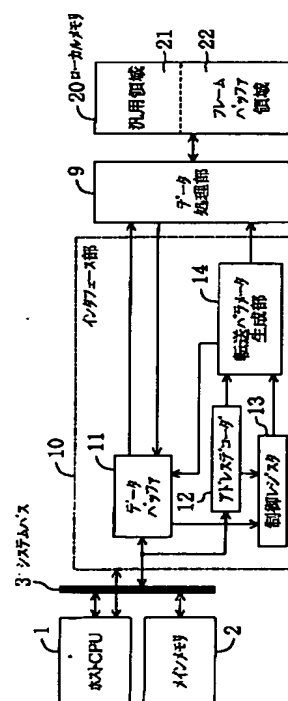
最終頁に続く

(54)【発明の名称】 データ転送装置及びデータ転送方法

(57)【要約】

【課題】 アドレス生成を伴うローカルメモリへのデータ転送を高速化し、システム全体の性能を向上させたデータ転送装置を提供する。

【解決手段】 ピクセルの座標にそのピクセルが格納されるアドレスが対応付けられているフレームバッファ領域とそれ以外の汎用領域とを有するローカルメモリと、システムバスとの間のデータ転送を行うデータ転送装置であって、システムバスとの間でデータ転送を行うとともに、システムバスから入力された、データ転送を制御するための制御データに基づいて、フレームバッファ領域と汎用領域とのうちのいずれか1つにアクセスするための転送パラメータを生成して出力するインタフェース部と、インタフェース部との間でデータ転送を行うとともに、転送パラメータに従って、転送されるデータのローカルメモリにおけるアドレスを生成し、これを用いてローカルメモリとの間でデータ転送を行うデータ処理部とを備える。



## 【特許請求の範囲】

【請求項 1】 ピクセルの座標にそのピクセルが格納されるアドレスが対応付けられているフレームバッファ領域とそれ以外の汎用領域とを有するローカルメモリと、システムバスとの間のデータ転送を行うデータ転送装置であって、

前記システムバスとの間でデータ転送を行うとともに、前記システムバスから入力された、データ転送を制御するための制御データに基づいて、前記フレームバッファ領域と前記汎用領域とのうちのいずれか 1 つにアクセスするための転送パラメータを生成して出力するインタフェース部と、

前記インタフェース部との間でデータ転送を行うとともに、前記転送パラメータに従って、転送されるデータの前記ローカルメモリにおけるアドレスを生成し、生成したアドレスを用いて前記ローカルメモリとの間でデータ転送を行うデータ処理部とを備えるデータ転送装置。

【請求項 2】 請求項 1 に記載のデータ転送装置において、

前記インターフェース部は、

前記システムバス及び前記データ処理部のうち的一方から受け取ったデータを格納し、他方に出力するデータバッファと、

前記制御データを格納する制御レジスタと、

前記制御レジスタが格納する制御データに基づいて、前記転送パラメータを生成して出力するとともに、前記データバッファを制御する転送パラメータ生成部とを備えるものであることを特徴とするデータ転送装置。

【請求項 3】 請求項 2 に記載のデータ転送装置において、

前記インターフェース部は、

前記汎用領域を示すアドレスを格納するアドレス情報レジスタと、

前記アドレス情報レジスタが格納するアドレスと、前記システムバスから入力されたアクセス先を示すアドレスとの比較を行い、その結果を出力するアドレス比較器とを更に備え、

前記転送パラメータ生成部は、

前記比較の結果が、前記アクセス先を示すアドレスが前記汎用領域内のアドレスであることを示すときには、前記転送パラメータとして前記汎用領域にアクセスするためのパラメータを生成して出力するものであることを特徴とするデータ転送装置。

【請求項 4】 請求項 3 に記載のデータ転送装置において、

前記アドレス比較器は、

前記アドレス情報レジスタが格納するアドレスの最上位から所定の長さのビット列と、前記アクセス先を示すアドレスの最上位から前記ビット列と同じ長さのビット列との間で前記比較を行うものであり、

前記転送パラメータ生成部は、

前記アドレス比較器が、比較した 2 つのビット列が一致したことを示すときには、前記アクセス先を示すアドレスが前記汎用領域内のアドレスであるとみなすものであることを特徴とするデータ転送装置。

【請求項 5】 請求項 4 に記載のデータ転送装置において、

前記アドレス情報レジスタに、前記比較が行われるビット列の長さが前記システムバスから設定されるように構成されており、

前記アドレス比較器は、

前記アドレス情報レジスタに設定された前記ビット列の長さに従って比較を行うものであることを特徴とするデータ転送装置。

【請求項 6】 請求項 1 に記載のデータ転送装置において、

前記インターフェース部は、

前記システムバスとの間で転送されるデータを格納する複数のシステムデータバッファと、

前記システムデータバッファのそれぞれに対応し、対応するシステムデータバッファのデータの入出力を制御する複数のシステムデータバッファ制御器と、

前記システムデータバッファのそれぞれに対応し、対応するシステムデータバッファが格納するデータについての前記制御データを格納する複数の制御レジスタと、

前記複数のシステムデータバッファの状態に応じてそのうちの 1 つを選択し、選択されたシステムデータバッファをデータ転送に用いるように、対応するシステムデータバッファ制御器に指示するとともに、いずれのシステムデータバッファを選択したかを示すデータを出力するデータ転送監視制御器と、

前記選択されたシステムデータバッファ及び前記データ処理部のうち的一方からデータを受け取って格納し、他方に出力するデータバッファと、

前記選択されたシステムデータバッファに対応する制御レジスタが格納する制御データに基づいて、前記転送パラメータを生成して出力するとともに、前記データバッファを制御する転送パラメータ生成部とを備えるものであることを特徴とするデータ転送装置。

【請求項 7】 ピクセルの座標にそのピクセルが格納されるアドレスが対応付けられているフレームバッファ領域とそれ以外の汎用領域とを有するローカルメモリと、システムバスとの間のデータ転送を行うデータ転送方法であって、

前記システムバスとの間でデータ転送を行うとともに、前記システムバスから入力されたデータ転送を制御する制御データに基づいて、前記フレームバッファ領域と前記汎用領域とのうちのいずれか 1 つにアクセスするための転送パラメータを生成するステップと、前記転送パラメータに従って、転送されるデータの前記

ローカルメモリにおけるアドレスを生成し、生成したアドレスを用いて前記ローカルメモリとの間でデータ転送を行うステップとを備えるデータ転送方法。

【請求項8】 請求項7に記載のデータ転送方法において、

前記汎用領域を示すアドレスと、前記システムバスから入力されたアクセス先を示すアドレスとの比較を行うステップを更に備え、

前記転送パラメータを生成するステップでは、

前記比較の結果が、前記アクセス先を示すアドレスが前記汎用領域内のアドレスであることを示す場合には、前記転送パラメータとして前記汎用領域にアクセスするためのパラメータを生成することを特徴とするデータ転送方法。

【請求項9】 請求項7に記載のデータ転送方法において、

前記転送パラメータを生成するステップでは、

前記システムバスとの間で転送されるデータを格納する複数のシステムデータバッファの状態に応じてそのうちの1つを選択し、前記選択されたシステムデータバッファに対応する制御データに基づいて、前記転送パラメータを生成することを特徴とするデータ転送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、システムバスとローカルメモリとの間でデータ転送を行うデータ転送装置に関する。

【0002】

【従来の技術】 図29は、従来のデータ転送装置のブロック図である。図29のデータ転送装置の動作の概略を説明する。ここでは、LSI90がグラフィック処理装置であるものとして説明を行う。ローカルメモリ20は、汎用領域21とフレームバッファ領域22とを有している。ホストCPU (central processing unit) 1は、インターフェース部91を介して汎用領域21に描画コマンドを転送する。描画処理部94は、汎用領域21から描画コマンドを読み出し、実行して得た描画結果をフレームバッファ領域22に出力する。表示処理部95は、フレームバッファ領域22から表示データを読み出してモニタ81に出力する。

【0003】 ホストCPU1及びインターフェース部91は、バイトアドレスを用いてデータ処理を行い、描画処理部94及び表示処理部95は、画素処理を行うためX、Y座標を用いて処理を行う。SDRAMインターフェース96は、汎用領域21に対するアドレス生成とフレームバッファ領域22に対するアドレス生成とを行う機能を有している。すなわち、SDRAMインターフェース96は、汎用領域21に対しては、基本的にローカルメモリ20のバイトアドレスの順にアドレスを生成する。また、フレーム領域に対しては、ラスタスキャン順

にアドレスを生成する。

【0004】 このように、ホストCPU1は、汎用領域21に描画コマンドを転送し、描画処理はすべて描画処理部94に行わせていた。しかしながら、ホストCPU1の性能の向上に伴い、ホストCPU1上での描画処理と描画処理部94での描画処理とを並行して行うことにより、描画性能の向上や、描画機能の向上を図ることが行われるようになっている。この場合、ホストCPU1は、プログラムを実行し、X、Y座標系に対応した配列を定義して描画処理を行い、その処理の結果得られた画素データをフレームバッファ領域22に転送する。

【0005】 フレームバッファ領域22にデータ転送を行うためには、ホストCPU1は、生成した画素データをメインメモリ2の第1の領域に一時的に保持させた後、第2の領域に転送を行ってから、インターフェース部91に転送する。第2の領域への転送を行う際には、ホストCPU1が、プログラムを実行したりデバイスドライバ等を用いて、画素データの座標から画素データが格納されるべきローカルメモリ20上のアドレスを生成する必要がある。

【0006】

【発明が解決しようとする課題】 このように従来のデータ転送装置では、ホストCPU1がフレームバッファ領域22へのデータ転送を行う場合に、ホストCPU1がメインメモリ上でアドレス変換を行わなければならない、ホストCPU1に負担がかかっていた。これは、CPU性能に余力がない場合には、システム性能を著しく低下させる。また、ホストCPU1とメインメモリ2との間でシステムバスを経由して行われるアドレス生成に要するサイクル数は、デバイスドライバ等を使用してOSベースで行った場合には、LSI90とローカルメモリ20との間のデータ転送に要するサイクル数の数千倍程度となることがあり、転送速度が遅いという問題があった。

【0007】 本発明は、アドレス生成を伴うローカルメモリへのデータ転送を高速化し、システム全体の性能を向上させたデータ転送装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 前記課題を解決するため、請求項1の発明が講じた手段は、ピクセルの座標にそのピクセルが格納されるアドレスが対応付けられているフレームバッファ領域とそれ以外の汎用領域とを有するローカルメモリと、システムバスとの間のデータ転送を行うデータ転送装置であって、前記システムバスとの間でデータ転送を行うとともに、前記システムバスから入力された、データ転送を制御するための制御データに基づいて、前記フレームバッファ領域と前記汎用領域とのうちのいずれか1つにアクセスするための転送パラメータを生成して出力するインターフェース部と、前記イン

タフェース部との間でデータ転送を行うとともに、前記転送パラメータに従って、転送されるデータの前記ローカルメモリにおけるアドレスを生成し、生成したアドレスを用いて前記ローカルメモリとの間でデータ転送を行うデータ処理部とを備えるものである。

【0009】請求項1の発明によると、システムバスに接続されたCPU等がソフトウェアによって転送パラメータを生成する必要がない。このため、システムバスとローカルメモリのフレームバッファ領域との間のデータ転送を高速に行うことができる。また、フレームバッファ領域にCPU等がアクセスすることが容易になる。

【0010】また、請求項2の発明では、請求項1に記載のデータ転送装置において、前記インターフェース部は、前記システムバス及び前記データ処理部のうちの一方から受け取ったデータを格納し、他方に出力するデータバッファと、前記制御データを格納する制御レジスタと、前記制御レジスタが格納する制御データに基づいて、前記転送パラメータを生成して出力するとともに、前記データバッファを制御する転送パラメータ生成部とを備えるものである。

【0011】請求項2の発明によると、汎用領域に対してアクセスする場合とフレームバッファ領域に対してアクセスする場合とのいずれの場合でも、転送パラメータ生成部が転送パラメータを生成し、システムバスとローカルメモリとの間でデータをDMA転送することができるので、データ転送効率を向上させることができる。

【0012】また、請求項3の発明では、請求項2に記載のデータ転送装置において、前記インターフェース部は、前記汎用領域を示すアドレスを格納するアドレス情報レジスタと、前記アドレス情報レジスタが格納するアドレスと、前記システムバスから入力されたアクセス先を示すアドレスとの比較を行い、その結果を出力するアドレス比較器とを更に備え、前記転送パラメータ生成部は、前記比較の結果が、前記アクセス先を示すアドレスが前記汎用領域内のアドレスであることを示すときには、前記転送パラメータとして前記汎用領域にアクセスするためのパラメータを生成して出力するものである。

【0013】請求項3の発明によると、アクセス先のアドレスに応じて転送パラメータの生成方法を切り換えることができる。このため、システムバスと汎用領域との間のデータ転送のタイミングと、システムバスとフレームバッファ領域との間のデータ転送のタイミングとの逐次性が保たれない場合においても、転送されるデータのフォーマットの整合性を保つことができる。

【0014】また、請求項4の発明では、請求項3に記載のデータ転送装置において、前記アドレス比較器は、前記アドレス情報レジスタが格納するアドレスの最上位から所定の長さのビット列と、前記アクセス先を示すアドレスの最上位から前記ビット列と同じ長さのビット列との間で前記比較を行うものであり、前記転送パラメー

タ生成部は、前記アドレス比較器が、比較した2つのビット列が一致したことを示すときには、前記アクセス先を示すアドレスが前記汎用領域内のアドレスであるとみなすものである。

【0015】請求項4の発明によると、アドレスの比較を容易に行うことができる。

【0016】また、請求項5の発明では、請求項4に記載のデータ転送装置において、前記アドレス情報レジスタに、前記比較が行われるビット列の長さが前記システムバスから設定されるように構成されており、前記アドレス比較器は、前記アドレス情報レジスタに設定された前記ビット列の長さに従って比較を行うものである。

【0017】請求項5の発明によると、汎用領域として用いる領域の大きさを容易に変更することができる。

【0018】また、請求項6の発明では、請求項1に記載のデータ転送装置において、前記インターフェース部は、前記システムバスとの間で転送されるデータを格納する複数のシステムデータバッファと、前記システムデータバッファのそれぞれに対応し、対応するシステムデータバッファのデータの入出力を制御する複数のシステムデータバッファ制御器と、前記システムデータバッファのそれぞれに対応し、対応するシステムデータバッファが格納するデータについての前記制御データを格納する複数の制御レジスタと、前記複数のシステムデータバッファの状態に応じてそのうちの1つを選択し、選択されたシステムデータバッファをデータ転送に用いるように、対応するシステムデータバッファ制御器に指示するとともに、いずれのシステムデータバッファを選択したかを示すデータを出力するデータ転送監視制御器と、前記選択されたシステムデータバッファ及び前記データ処理部のうちの一方からデータを受け取って格納し、他方に出力するデータバッファと、前記選択されたシステムデータバッファに対応する制御レジスタが格納する制御データに基づいて、前記転送パラメータを生成して出力するとともに、前記データバッファを制御する転送パラメータ生成部とを備えるものである。

【0019】請求項6の発明によると、複数のデータ転送経路を用いた場合とほぼ同様に、複数のチャネルを用いたデータ転送を行うことができる。特に、データ転送のための制御情報をチャネル毎に設定することができるので、チャネル毎に異なったフォーマットのデータを転送することができる。

【0020】また、請求項7の発明は、ピクセルの座標にそのピクセルが格納されるアドレスが対応付けられているフレームバッファ領域とそれ以外の汎用領域とを有するローカルメモリと、システムバスとの間のデータ転送を行うデータ転送方法であって、前記システムバスとの間でデータ転送を行うとともに、前記システムバスから入力されたデータ転送を制御する制御データに基づいて、前記フレームバッファ領域と前記汎用領域とのうち

のいずれか1つにアクセスするための転送パラメータを生成するステップと、前記転送パラメータに従って、転送されるデータの前記ローカルメモリにおけるアドレスを生成し、生成したアドレスを用いて前記ローカルメモリとの間でデータ転送を行うステップとを備えるものである。

【0021】また、請求項8の発明は、請求項7に記載のデータ転送方法において、前記汎用領域を示すアドレスと、前記システムバスから入力されたアクセス先を示すアドレスとの比較を行うステップを更に備え、前記転送パラメータを生成するステップでは、前記比較の結果が、前記アクセス先を示すアドレスが前記汎用領域内のアドレスであることを示す場合には、前記転送パラメータとして前記汎用領域にアクセスするためのパラメータを生成するものである。

【0022】また、請求項9の発明は、請求項7に記載のデータ転送方法において、前記転送パラメータを生成するステップでは、前記システムバスとの間で転送されるデータを格納する複数のシステムデータバッファの状態に応じてそのうちの1つを選択し、前記選択されたシステムデータバッファに対応する制御データに基づいて、前記転送パラメータを生成するものである。

【0023】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。以下の実施形態においては、例として、1ワードが32ビットの場合について説明する。

【0024】（第1の実施形態）図1は、本発明の第1の実施形態に係るデータ転送装置のブロック図である。図1のデータ転送装置は、インタフェース部10と、データ処理部9とを備えている。このデータ転送装置は、システムバス3とローカルメモリ20との間でデータ転送を行うものである。システムバス3としてのホストCPU1は、システムバス3の管理を行っている。また、システムバス3には、メインメモリ2が接続されている。インタフェース部10は、データバッファ11と、アドレスデコーダ12と、制御レジスタ13と、転送パラメータ生成部14とを備えている。

【0025】ローカルメモリ20は、例えばSDRAM (synchronous dynamic random-access memory) であるとする。この場合、データ処理部9は、具体的にはSDRAMインタフェースである。ローカルメモリ20は、汎用領域21とフレームバッファ領域22とを有していて、これらの領域は、ホストCPU1によってアドレスマップ上に割り付けられている。汎用領域21は、フレームバッファ領域22以外の領域であって、ホストCPU1の描画コマンド等を格納するための領域である。フレームバッファ領域22は、画像データを格納するための領域であり、アドレッシングがシステムバス3上とは異なっている。すなわち、フレームバッファ領域22で

は、ピクセル（画素）の位置を表現する2次元の座標とそのピクセルが格納されるアドレスとが所定の対応関係を有するように対応付けられている。例えば、2次元の座標上でピクセルが連続して並んでいても、これらに対応するフレームバッファ領域22におけるアドレスは連続するとは限らない。

【0026】図示していないが、インタフェース部10は、ホストCPU1との間でハンドシェイクを行う制御部を有している。制御部は、ホストCPU1からのライトアクセス及びリードアクセス要求に対し、データバッファ11が格納するデータの有無に応じてウェイト (wait) 信号等を出力する。

【0027】ホストCPU1とローカルメモリ20の汎用領域21との間のデータ転送の例について説明する。ライトアクセス時、すなわち、汎用領域21へのデータ転送の場合には、ホストCPU1は、まず、生成した描画コマンドをメインメモリ2に一時的に格納させる。ホストCPU1は、メインメモリ2に一時的に格納された描画コマンドをローカルメモリ20の汎用領域21に転送するため、システムバス3を介して、汎用領域21に割り付けられたアドレスへのライトアクセスを行う。

【0028】データバッファ11は、メインメモリ2のデータをシステムバス3を経由して受け取り、格納する。アドレスデコーダ12は、ホストCPU1が出力したアドレスをシステムバス3を経由して受け取り、デコードする。アドレスデコーダ12は、データバッファ11に格納されたデータの転送先が制御レジスタ13であるか、ローカルメモリ20であるかの判別を行い、判別結果を転送パラメータ生成部14に出力する。

【0029】データの転送先が制御レジスタ13である場合には、制御レジスタ13は、データバッファ11のデータをデータ転送を制御するための制御データとして格納する。データの転送先がローカルメモリ20である場合には、転送パラメータ生成部14は、制御レジスタ13の制御データに基づいて、汎用領域21へアクセスするための転送パラメータを生成してデータ処理部9に出力するとともに、データバッファ11に対して制御を行い、データバッファ11が格納しているデータをデータ処理部9へ出力させる。データ処理部9は、転送パラメータを用いて、データバッファ11から入力されたデータを汎用領域21へ転送する。

【0030】リードアクセス時には、CPU1が出力した読み出し対象のデータのアドレスが、システムバス3からアドレスデコーダ12に入力される。アドレスデコーダ12は、このアドレスをデコードし、データの転送元が制御レジスタ13であるか、ローカルメモリ20であるかの判別を行い、判別結果を転送パラメータ生成部14に出力する。

【0031】ローカルメモリ20からのデータ転送を行う場合には、転送パラメータ生成部14は、制御レジ

タ13の制御データに基づいて、汎用領域21へアクセスするための転送パラメータを生成して、データ処理部9に出力する。データ処理部9は、転送パラメータを用いて、汎用領域21のデータを読み出し、データバッファ11に出力する。また、転送パラメータ生成部14は、データバッファ11に対して、データ処理部9が出力するデータを格納し、システムバス3を経由してホストCPU1に出力するように、制御を行う。

【0032】次に、ホストCPU1とローカルメモリ20のフレームバッファ領域22との間のデータ転送について説明する。ホストCPU1は、モニタ（図示せず）の画面に表示させたい描画オブジェクトを生成する処理をメインメモリ2上で行う。描画オブジェクトは、X、Y座標を有するピクセルデータの集まりとして表されている。ホストCPU1は、生成したピクセルデータをメインメモリ2に一時的に格納させる。

【0033】ホストCPU1は、フレームバッファ領域22へのアクセスを行うこと、及びフレーム番号や1ピクセルを表すために使用されるビット数等の情報を、システムバス3を介して制御レジスタ13に制御データとして設定する。制御レジスタ13へのアクセスの場合には、転送パラメータ生成部14は動作しない。

【0034】このように、制御レジスタ13にはフレームバッファ領域22にアクセスするための情報を設定しておき、その後、転送パラメータ生成部14は、制御レジスタ13の制御データを用いてフレームバッファ領域22にアクセスするための転送パラメータを生成して、データ処理部9に出力する。

【0035】その後、ホストCPU1は、メインメモリ2からフレームバッファ領域22へのデータ転送を開始する。ライトアクセス時及びリードアクセス時のいずれにおいても、データバッファ11とデータ処理部9との間のデータの出入力、及び転送パラメータ生成部14の制御シーケンスは、フレームバッファ領域22にアクセスする点を除けば、汎用領域21とメインメモリ2との間の転送と同様である。

【0036】以上のいずれの場合においても、データ処理部9は、ローカルメモリ20との間でデータ転送を行う際に、転送パラメータに従って、転送されるデータのローカルメモリ20におけるアドレスを求めて用いている。

【0037】以上のように、制御レジスタ13の情報に従って、転送パラメータ生成部14が転送パラメータを生成し、ホストCPU1は汎用領域21及びフレームバッファ領域22のいずれとの間でもデータ転送を行うことができる。

【0038】ローカルメモリ20の汎用領域21へのデータの格納方法について説明する。データ処理部9は、SDRAMのアドレスの順に従ってデータを格納するが、SDRAMのデータアクセスの特徴を活かしたアド

レスマッピングを行っている。以下では、同一のバンク内にあり、かつ、同一のロウアドレスでアクセスすることができる領域をページと称する。

【0039】図2は、2つのバンクを持つ一般的なSDRAMの構成の例を示す模式図である。バンク“0”及びバンク“1”はいずれも2<sup>8</sup>枚のページを持ち、各ページにはロウアドレス“0”～“2<sup>8</sup>-1”が割り当てられている。また各ページは256ワードの記憶領域を持ち、各ワードにはカラムアドレス“0”～“255”が割り当てられている。したがって、あるワードを指定するには、バンク、ロウアドレス、及びカラムアドレスの3種類のアドレスを指定する必要がある。図3(a)は、SDRAMのアドレスピンに通常割り当てられている3種類のアドレスの順を示す説明図である。

【0040】一方、SDRAM上のあるワードに対してアクセスした後、他のワードにアクセスする際に、オーバーヘッドが生じる場合がある。図4は、アクセス後、同一バンク、同一ロウアドレスにアクセスする場合のSDRAMの動作を示すタイミング図である。バースト長は8に設定されているものとする。図4は、バンク“0”、ロウアドレス“0”、カラムアドレス“0”のワードにアクセスした後、同一バンク、同一ロウアドレスのカラムアドレス“8”のワードにアクセスする場合について示している。この場合は、オーバーヘッドが生じず、連続して他のカラムアドレスにアクセスすることができる。

【0041】図5は、アクセス後、同一バンク、異なるロウアドレスにアクセスする場合のSDRAMの動作を示すタイミング図である。図5は、バンク“0”、ロウアドレス“0”のワードにアクセスした後、同一バンク、ロウアドレス“1”のワードにアクセスする場合について示している。この場合は、プリチャージコマンド、アクティブコマンドを挿入する必要があり、オーバーヘッドが生じる。

【0042】図6は、アクセス後、異なるバンクにアクセスする場合のSDRAMの動作を示すタイミング図である。図6は、バンク“0”、ロウアドレス“0”のワードにアクセスした後、バンク“1”、ロウアドレス“1”のワードにアクセスする場合について示している。この場合も、プリチャージコマンド、アクティブコマンドを挿入する必要がある。しかし、バンク“0”に対するアクセス中に、バンク“1”に対するプリチャージコマンド、及びアクティブコマンドを実行することができる。すなわち、コマンド挿入を隠蔽できるため、事実上オーバーヘッドが生じない。

【0043】図3(b)は、データ処理部9が生成するアドレスのフォーマットを示す説明図である。図5を参照して説明したように、あるワードにアクセス後、これと同一バンク、異なるロウアドレスにアクセスする場合はオーバーヘッドが生じる。すなわち、連続して多くの



ワードを転送する場合には、ロウアドレスの変化の頻度を少なくした方が転送を高速に行うことができる。そこで、データ処理部9は、汎用領域21へデータを格納する場合には、図3(b)のようなフォーマットのアドレスをローカルメモリ20に出力する。

【0044】これによると、バンクを指定するビットがロウアドレスを指定するビットよりも下位のビットであるので、ロウアドレス、バンク及びカラムアドレスを一体のアドレスとして扱って、最下位のビットを順に増加させると、異なるバンクに交互にアクセスすることになる。したがって、転送ワード数がいかに多くても、SDRAMのアドレスの順にオーバーヘッドなしでアクセスを行うことができる。バンク数が2の場合について説明したが、バンク数が4以上であっても同様である。

【0045】次に、ローカルメモリ20のフレームバッファ領域22へのデータの格納方法について説明する。ホストCPU1は、描画処理を行い、グラフィックイメージのピクセルを表す値及びそのX、Y座標を求める。

【0046】図7は、フレームバッファ領域22におけるアドレスマッピングについての説明図である。ここでは、ローカルメモリ20の1ワードは32ビット、1ピクセルが8ビットで表される場合について説明する。1ページには256ワード、1ワードには4ピクセルが格納されるので、1ページには32×32ピクセル(1024ピクセル)の矩形領域のピクセルを格納することとする。

【0047】画面上のX、Y座標は、図7のようにフレームバッファ領域22のアドレスにマッピングされている。フレームバッファ領域22にマッピングされた画面の幅を32ビット単位( $T_H$ )で表したものを、横方向のページ数 $N_x$ とする。図7の場合は、 $N_x=13$ である。横方向のページ数 $N_x$ は、奇数となるようにする。図7において、斜線を施されたページはバンク“0”に、斜線を施されていないページはバンク“1”に属している。したがって、あるページに格納される矩形領域は、これとは異なるバンクに属するページに格納される矩形領域に隣接している。なお、横方向のページ数 $N_x$ は、偶数になるようにしてもよい。

【0048】16ビット/ピクセルの場合は、1ページに横32×縦16ピクセルの矩形領域を格納し、24ビット/ピクセルの場合は、1ページに横32×縦8ピクセルの矩形領域を格納する。

【0049】図8は、SDRAMが図7のようにマッピングされた場合における描画の際のオーバーヘッドについての説明図である。図8において、線分L1、L2を描画するときのように、複数のページにわたって連続してアクセスする際にはオーバーヘッドが生じるが、線分L3を描画するときのように、1つのページにのみアクセスする際にはオーバーヘッドが生じない。特に線分L3のような短い線分を大量かつランダムな位置に描画す

る際には非常に有効となる。このように、図7のようにマッピングを行うと、線分を描画する際にオーバーヘッドが起こる割合が小さくなる。

【0050】また、隣り合う矩形領域は、異なるバンクに属するページに格納されるようにしているので、ポリゴンP1を描画する場合に、X座標を増加させながら行う塗りつぶしの際のアクセスにおいてもオーバーヘッドがかからない。このように、描画処理部(図示せず)がローカルメモリ20にアクセスし、線分やポリゴンの塗りつぶし等を行う場合に、オーバーヘッドを生じさせることなく連続して転送することができるワード数を多くすることができるので、描画処理性能を向上させることができる。

【0051】以下、ホストCPU1からローカルメモリ20のフレームバッファ領域22へのデータ転送について、具体的に説明する。ローカルメモリ20は、そのフレームバッファ領域22に、例えば画面12枚分のデータを格納することができるものとし、画面1枚分のデータを格納する領域のそれぞれをフレームメモリFM0～FM11と称することとする。

【0052】図9(a)～(d)は、8ビット/ピクセルの場合に、ホストCPU1がフレームバッファ領域22に転送するデータのアドレスについての説明図である。ホストCPU1からフレームバッファ22へのデータの転送は、1ワード(32ビット)単位で行う。そこで、8ビット/ピクセルの場合には、4ピクセルをまとめて1ワードとして扱うこととし、ホストCPU1は、各ワードにバイトアドレスを付与する。

【0053】図9(a)は、8ビット/ピクセルの場合に、ホストCPU1上で扱う座標X、Yと、ワード単位の座標XB、YBとの関係を示す説明図である。例えば、座標Yが同一のピクセルのうち、座標Xが0～3のものはワード単位の座標XB=0のワードとして、座標Xが4～7のものはワード単位の座標XB=1のワードとして扱われる。また、座標Yとワード単位の座標YBとは等しい。

【0054】図9(b)は、8ビット/ピクセルの場合の、バイトアドレスのフォーマットについての説明図である。座標XBをフィールドXBとする。また、座標YBをフィールドYBとする。バイトアドレスは、フィールドYBが上位に、フィールドXBが下位になるように連結したものである。

【0055】図9(c)及び図9(d)は、8ビット/ピクセルの場合に、1ワードに格納された4ピクセルのワード内における位置を示す説明図である。ここで、添字x、yはそれぞれワード単位の座標XB、YBを示す。図9(a)の各ピクセルの表記も同様であり、例えばD<sub>103</sub>は、ワード単位の座標(XB、YB)=(1, 0)のワードのうち、X座標が最大のピクセル(すなわち、X座標が7)であることを示している。4ピクセル

は、ホストCPU1がリトルエンディアンである場合は図9(c)、ビッグエンディアンである場合は図9

(d)のように格納される。

【0056】図10(a)～(d)は、16ビット/ピクセルの場合に、ホストCPU1がフレームバッファ領域22に転送するデータのアドレスについての説明図である。16ビット/ピクセルの場合には、2ピクセルをまとめて1ワードとして扱うこととし、ホストCPU1は、1ワード毎にバイトアドレスを付与する。その他の点は、8ビット/ピクセルの場合と同様である。

【0057】すなわち、図10(a)は、16ビット/ピクセルの場合に、ホストCPU1上で扱う座標X、Yと、ワード単位の座標XB、YBとの関係を示す説明図である。図10(b)は、16ビット/ピクセルの場合の、バイトアドレスのフォーマットについての説明図である。図10(c)及び図10(d)は、16ビット/ピクセルの場合に、1ワードに格納された2ピクセルのワード内における位置を示す説明図である。

【0058】図11(a)～(c)は、24ビット/ピクセルの場合に、ホストCPU1がフレームバッファ領域22に転送するデータのアドレスについての説明図である。24ビット/ピクセルの場合には、1ピクセルを1ワードとして扱うこととし、ホストCPU1は、1ワード毎にバイトアドレスを付与する。その他の点は、8ビット/ピクセルの場合と同様である。

【0059】すなわち、図11(a)は、24ビット/ピクセルの場合に、ホストCPU1上で扱う座標X、Yと、ワード単位の座標XB、YBとの関係を示す説明図である。図11(b)は、24ビット/ピクセルの場合の、バイトアドレスのフォーマットについての説明図である。図11(c)は、24ビット/ピクセルの場合に、1ワードに格納された1ピクセルのワード内における位置を示す説明図である。

【0060】図12(a)は、8ビット/ピクセルの場合の、転送される画像の幅に対するバイトアドレスのフィールドXB、YBの幅についての説明図である(図9(b)参照)。図12(b)は、16ビット/ピクセルの場合の、転送される画像の幅に対するバイトアドレスのフィールドXB、YBの幅についての説明図である(図10(b)参照)。図12(c)は、24ビット/ピクセルの場合の、転送される画像の幅に対するバイトアドレスのフィールドXB、YBの幅についての説明図である(図11(b)参照)。

【0061】ホストCPU1は、フレームバッファ領域22に画像を転送する場合、その画像を含むような矩形領域を設定し、この矩形領域の左上の隅のピクセルを最初に転送するピクセルとする。

【0062】いま、この矩形領域において、最初に転送するピクセルを起点とし、その座標Yを一定として座標Xが最も小さいものから(矩形領域の左端のものから)

順に座標Xを増加させながらスキャンすると仮定する。また、矩形領域の右端のピクセルまでスキャンし終わると、座標Yを1だけ増加させて同様に左から右の順でピクセルをスキャンすることを繰り返すと仮定する。この場合に、転送すべき画像のピクセルを全てスキャンし終わるまでにスキャンしなければならないピクセルの数から、ホストCPU1は転送すべきワード数を求める。

【0063】図13は、制御レジスタ13が格納するデータ転送のための制御データを示す説明図である。ホストCPU1は、データバッファ11を経由して制御レジスタ13に制御データを格納させる。図13のように、制御レジスタ13は、そのアドレス“0”～“3”にDMA(direct memory access)転送のための制御データとして、

(a) デスティネーション側先頭アドレス

(b) 転送ワード数

(c) DMA起動フラグ

(d) フォーマット情報

をそれぞれ格納する。

【0064】デスティネーション側先頭アドレス(DMA開始アドレス)には、データの転送先が汎用領域21の場合は、ローカルメモリ20内の転送先の先頭アドレスが格納され、データの転送先がフレームバッファ領域22の場合は、最初に転送されるピクセルの座標が図9(b)、図10(b)、又は図11(b)に示されたバイトアドレスの形式で格納される。

【0065】データの転送先が汎用領域21の場合は、転送パラメータ生成部14は、制御レジスタ13が格納するデスティネーション側先頭アドレス及び転送ワード数を転送パラメータとしてデータ処理部9に出力する。また、データの転送先がフレームバッファ領域22の場合は、転送パラメータ生成部14は、デスティネーション側先頭アドレス及び転送ワード数に対してフォーマット情報に従ってアドレス変換等を行い、転送パラメータを生成する。転送パラメータ生成部14は、生成した転送パラメータをデータ処理部9に出力する。

【0066】DMA起動フラグは、DMA転送を開始させるために設定される。ホストCPU1がDMA起動フラグを立てると、インタフェース部10内の制御部(図示せず)が、メインメモリ2とローカルメモリ20との間のDMA転送を開始する。

【0067】図14は、制御レジスタ13が格納するフォーマット情報についての説明図である。図14のように、制御レジスタ13が格納するフォーマット情報には、FRAME\_NO、X\_WIDTH、RASTER\_ON、PIXEL\_TYPEの各フィールドが含まれる。

【0068】フィールドFRAME\_NOは、アクセス対象フレーム番号を示す。このフィールドのビット幅は、例えば4ビットであって、その値とフレーム番号と

の関係は、例えば、

0000:FM0	0001:FM1
0010:FM2	0011:FM3
0100:FM4	0101:FM5
0110:FM6	0111:FM7
1000:FM8	1001:FM9
1010:FM10	1011:FM11

である。

【0069】フィールドX\_WIDTHは、ホストCPU1からローカルメモリ20へのアクセス時における、バイトアドレスのフィールドXBの幅を示す。フィールドX\_WIDTHのビット幅は、例えば4ビットであって、その値とフィールドXBの幅との関係は、例えば、

0000:11ビット	0001:10ビット
0010:9ビット	0011:8ビット
0100:7ビット	0101:6ビット
0110:5ビット	

である。したがって、フィールドYBの幅は、32ビットからフィールドXBの幅を減じたものである。

【0070】フィールドRASTER\_ONは、ホストCPU1からローカルメモリ20へのアクセスが、汎用領域21及びフレームバッファ領域22のいずれに対するものであるかを示す。このフィールドのビット幅は、例えば1ビットであって、その値とデータの転送先との関係は、例えば、

0:汎用領域21へのアクセス

1:フレームバッファ領域22へのアクセス

である。

【0071】フィールドPIXEL\_TYPEは、1ピクセルあたりのビット数（ピクセルタイプ）を示す。このフィールドのビット幅は、例えば2ビットであって、その値と1ピクセルあたりのビット数との関係は、例えば、

00:24ビット/ピクセル

01:16ビット/ピクセル

10:8ビット/ピクセル

である。

【0072】図15(a)は、8ビット/ピクセルの場合の転送パラメータ生成部14におけるバイトアドレスから座標への変換についての説明図である。図15

(b)は、16ビット/ピクセルの場合の転送パラメータ生成部14におけるバイトアドレスから座標への変換についての説明図である。図15(c)は、24ビット/ピクセルの場合の転送パラメータ生成部14におけるバイトアドレスから座標への変換についての説明図である。

【0073】転送パラメータ生成部14は、制御レジスタ13を参照し、図14のフィールドRASTER\_ONが“1”であって、ホストCPU1がフレームバッファ領域22にアクセスする場合には、バイトアドレスか

ら座標への変換を行って転送パラメータを生成し、データ処理部9に出力する。

【0074】すなわち、転送パラメータ生成部14は、図15(a)～図15(c)に示すように、8ビット/ピクセルの場合はバイトアドレスのフィールドXBの値を4倍にしたものを座標Xとする。16ビット/ピクセルの場合はフィールドXBの値を2倍にしたものを、24ビット/ピクセルの場合はフィールドXBの値を座標Xとする。フィールドYBの値は、いずれの場合も変更せず、座標Yとする。

【0075】また、転送パラメータ生成部14は、転送ワード数を転送ピクセル数に変換する。すなわち、8ビット/ピクセル時、16ビット/ピクセル時、及び24ビット/ピクセル時の転送ピクセル数をそれぞれ、転送ワード数の4倍、2倍、及び1倍とする。転送パラメータ生成部14は、得られた座標X、Y及び転送ピクセル数を転送パラメータとしてデータ処理部9に出力する。

【0076】図16は、図1の転送パラメータ生成部14の例についての説明図である。図16において、アドレスデコーダ12は、ラッチ31を備えている。転送パラメータ生成部14は、例えば19個のレジスタ41A、41B、41C、…、41Sと、セクタ42とを備えている。

【0077】ラッチ31には、ローカルメモリ20との間で書き込み又は読み出しのいずれを行うかを示すリード/ライト信号RWSが、システムバス3を経由して、ホストCPU1から入力されている。ラッチ31は、この信号をラッチし、転送パラメータ生成部14に出力する。

【0078】転送パラメータ生成部14は、制御レジスタ13に制御データが設定されると、アドレスデコーダ12に格納されたリード/ライト信号RWSの値、及び制御レジスタ13に格納された制御データに基づいて、転送パラメータを生成してレジスタ41A～41Sに格納させる。

【0079】レジスタ41Aは、汎用領域21用の転送パラメータを格納する。レジスタ41Aは、リード/ライト信号RWSの値RW、デスティネーション側先頭アドレスDADのロウアドレス（上位アドレス）RA、汎用領域21を表すAT(=RASTER\_ON)=0、先頭アドレスDADのコラムアドレス（下位アドレス）CAを転送パラメータとして格納する。

【0080】レジスタ41B～41Sは、フレームバッファ領域22用の転送パラメータを格納する。レジスタ41Bは、例えば、転送される画像の横幅が513～1024ピクセルであって、24ビット/ピクセルの場合の転送パラメータを格納する。すなわち、レジスタ41Bは、リード/ライト信号RWSの値RW、最初に転送されるピクセルのY座標YB1、フレームバッファ領域22を表すAT=1、フレームメモリの番号FM(=F

RAME\_NO)、最初に転送されるピクセルのX座標XB1を転送パラメータとして格納する。ここで、Y座標YB1、X座標XB1は、図15(a)~(c)を参照して説明したように、デスティネーション側先頭アドレスDADを変換して得られたものである。

【0081】レジスタ41C、41Dは、例えば、転送される画像の横幅が513~1024ピクセルのときであって、それぞれ、16、8ビット/ピクセルの場合の転送パラメータを格納する。すなわち、レジスタ41C、41Dは、それぞれXB1×2、XB1×4をX座標として格納する。他の転送パラメータについては、レジスタ41Bと同様である。

【0082】同様に、レジスタ41E、41F、41Gは、転送される画像の横幅が257~512ピクセルの場合の転送パラメータを格納する。図12(a)~

(c)に示された例の場合、転送される画像の横幅の区分が6通り、1ピクセル当たりのビット数については3通りあるので、フレームバッファ領域22へのアクセスのための6×3通りの転送パラメータの組がレジスタ41B~41Sに格納される。

【0083】セクタ42は、制御レジスタ13が格納するフォーマット情報のフィールドX\_WIDTH、RASTER\_ON、PIXEL\_TYPEの値に従って、レジスタ41A~41Sの出力のうちの1つを選択して、データ処理部9に出力する。また、図16には表されていないが、転送パラメータ生成部14は、フォーマット情報のフィールドRASTER\_ONが“0”のときは転送ワード数を、“1”のときは転送ピクセル数を転送パラメータとしてデータ処理部9に出力する。

【0084】このように図16の転送パラメータ生成部14によると、転送パラメータを予め求めておくので、セクタ42で選択すれば、転送パラメータを直ちにデータ処理部9に出力することができる。また、転送パラメータ生成部は、必要な転送パラメータのみを求めて出力するようにしてもよい。

【0085】図17(a)~(d)は、データ処理部9内のDMA転送用レジスタについての説明図である。図17(a)は、汎用領域21に書き込みを行う場合に、デスティネーション側(転送先)の先頭アドレスを指定するための32ビットレジスタを示す説明図である。図17(b)は、汎用領域21に書き込みを行う場合に、転送ワード数を指定するための16ビットレジスタを示す説明図である。図17(c)は、フレームバッファ領域22に書き込みを行う場合に、デスティネーション側の先頭アドレスを指定するための32ビットレジスタを示す説明図である。図17(d)は、フレームバッファ領域22に書き込みを行う場合に、転送ピクセル数を指定するための16ビットレジスタを示す説明図である。転送パラメータ生成部14は、図17のDMA転送用レジスタの各フィールドへの設定を行う。

【0086】図18は、図17のDMA転送用レジスタの各フィールドのビット数及び機能を示す説明図である。図17のフィールドATには、図14のRASTER\_ONの値が格納され、データの転送先が汎用領域21及びフレームバッファ領域22のいずれであるかが設定される。フィールドRWには、書き込み及び読み出しのいずれのDMA転送を行うかが設定される。例えば、ローカルメモリ20への書き込みを行う場合には、フィールドRWの値を“0”とし、ローカルメモリ20からの読み出しを行う場合には、フィールドRWの値を“1”とする。

【0087】データの転送先が汎用領域21の場合は、フィールドX、Yには、デスティネーション側先頭アドレスDADのコラムアドレス及びロウアドレスがそれぞれDMA開始アドレスとして設定される。フィールドLengthには、DMA転送されるべきワード数が設定される。

【0088】データの転送先がフレームバッファ領域22の場合は、フィールドFMには、図14のフィールドFRAME\_NOの値が格納され、データの転送先のフレームメモリが設定される。フィールドX、Yには、制御レジスタ13に設定されたデスティネーション側先頭アドレスから求められた、最初に転送されるピクセルの座標がDMA開始アドレスとして設定される。フィールドLengthには、制御レジスタ13に設定された転送ワード数から求められた、DMA転送されるべきピクセル数が設定される。

【0089】図16の転送パラメータ生成部14のレジスタ41Aには図17(a)のフォーマットに従って、レジスタ41B~41Sには図17(c)のフォーマットに従って、転送パラメータを格納しておくことが望ましい。すると、データ処理部9は、DMA転送用レジスタに転送パラメータ生成部14の出力をそのまま格納することができる。

【0090】また、転送パラメータ生成部14は、レジスタ41A~41Sを備えないこととし、アドレスデコーダ12が出力するリード/ライト信号RWS、及び制御レジスタ13に格納された制御データを示す信号を並べ替えたり、これらの信号を所定の論理回路に与えたりして、得られた信号が示すビット列が転送パラメータを表すようにしてもよい。この場合、レジスタ41A~41Sのそれぞれに対応したビット列を、図17(a)又は図17(c)のフォーマットに従って生成し、これらのビット列がセクタ42に同時に与えられるようにしておく。

【0091】図19は、データ処理部9内のフレームメモリレジスタについての説明図である。図19では、例としてフレームメモリFM0に対するフレームメモリレジスタを示している。データ処理部9は、フレームメモリFM0~FM11のそれぞれに対してこのようなフレ

ームメモリレジスタを備えている。

【0092】図20は、図19のフレームメモリレジスタの各フィールドのビット数及び機能を示す説明図である。フレームメモリFM1～FM11のそれぞれに対するフレームメモリレジスタについても同様である。

【0093】フィールドF0addには、フレームメモリFM0のベースアドレスとして、フレームメモリFM0の座標原点のピクセルが格納されるロウアドレスが設定される。フィールドF0colorには、1ピクセル当たりのビット数が設定される。フィールドF0Xfmには、フレームメモリに格納される画面のX方向のサイズとして、図7を参照して説明した、横方向のページ数 $N_x$ が設定される。これは、実際に表示される画面のX方向のピクセル数を例えば32で割り、1未満の端数を切り上げて整数とし、更に、得られた整数が偶数の場合は1を加えて奇数とした値である。

【0094】ホストCPU1は、システムアドレスバス（図示せず）を介して、フレームメモリレジスタのこれらのフィールドF0add、F0color及びF0Xfmに予め値を設定している。

【0095】図21(a)～(d)は、8ビット/ピクセルの場合のフレームバッファ領域22におけるデータの格納についての説明図である。図21(a)は、8ビット/ピクセルの場合に、1ワードに格納されるピクセルの例を示す説明図である。このように、X座標が $4n \sim 4n+3$  ( $n$ は整数)であり、Y座標が等しい連続する4ピクセルが1ワードとして格納される。

【0096】図21(b)は、8ビット/ピクセルの場合に、フレームバッファ領域22にマッピングされた画面とそのロウアドレスの例についての説明図である。ここでは、表示される画面が640ピクセル×480ラインの場合について示している。ローカルメモリ20は、2つのバンクを有しているものとし、1ページ（同一バンク内の同一のロウアドレスで指定される記憶領域）に32ピクセル×32ラインの矩形領域のデータを格納する。図21(b)において、矩形領域内の数はロウアドレスを示す。表示される画面の横幅は640ピクセルなので、このような矩形領域を横方向に20個並べればよい。しかし、図7を参照して説明したように、隣接する矩形領域のデータが異なるバンクに格納されるようにするためには、横方向の矩形領域の数を奇数にする必要があるため、21個としている（すなわち、横方向のページ数 $N_x=21$ ）。縦方向には、 $480/32=15$ 個の矩形領域が並ぶ（すなわち、縦方向のページ数 $N_y=15$ ）。

【0097】図21(c)は、8ビット/ピクセルの場合に、横及び縦方向のページ数 $N_x$ 、 $N_y$ 、並びに1画面を格納するために必要なフレームバッファ領域22のビット数の例を示す説明図である。図21(d)は、8ビット/ピクセル、データの転送先がフレームバッファ領

域22の場合に、画面上のX、Y座標からアドレス、すなわち、ロウアドレス（RowAddress）、コラムアドレス（ColumnAddress）及びバンク（Bank）を求める式を示す図である。ここで、除算して得られた商の1未満は切り捨てるものとし、%は除算して剰余を求める演算を表す。

【0098】図22(a)～(d)は、16ビット/ピクセルの場合のフレームバッファ領域22におけるデータの格納についての説明図である。図22(a)は、16ビット/ピクセルの場合に、1ワードに格納されるピクセルの例を示す説明図である。この場合、X座標が $2n$ 、 $2n+1$  ( $n$ は整数)であり、Y座標が等しい隣接する2ピクセルが1ワードとして格納される。図22

(b)は、16ビット/ピクセルの場合に、フレームバッファ領域22にマッピングされた画面とそのロウアドレスの例についての説明図である。この場合、ローカルメモリ20は、1ページに32ピクセル×16ラインの矩形領域のデータを格納する。

【0099】図22(c)は、16ビット/ピクセルの場合に、横及び縦方向のページ数 $N_x$ 、 $N_y$ 、並びに1画面を格納するために必要なフレームバッファ領域22のビット数の例を示す説明図である。図22(d)は、16ビット/ピクセル、データの転送先がフレームバッファ領域22の場合に、画面上のX、Y座標からアドレスを求める式を示す図である。図22(c)の値、及び図22(d)の式は、図21の8ビット/ピクセルの場合とは異なっている。

【0100】図23(a)～(d)は、24ビット/ピクセルの場合のフレームバッファ領域22におけるデータの格納についての説明図である。図23(a)は、24ビット/ピクセルの場合に、1ワードに格納されるピクセルの例を示す説明図である。この場合、1ピクセルのRGB各色のデータが1ワードとして格納される。図23(b)は、24ビット/ピクセルの場合に、フレームバッファ領域22にマッピングされた画面とそのロウアドレスの例についての説明図である。この場合、ローカルメモリ20は、1ページに32ピクセル×8ラインの矩形領域のデータを格納する。

【0101】図23(c)は、24ビット/ピクセルの場合に、横及び縦方向のページ数 $N_x$ 、 $N_y$ 、並びに1画面を格納するために必要なフレームバッファ領域22のビット数の例を示す説明図である。図23(d)は、24ビット/ピクセル、データの転送先がフレームバッファ領域22の場合に、画面上のX、Y座標からアドレスを求める式を示す図である。図23(c)の値、及び図23(d)の式は、図21の8ビット/ピクセルの場合とは異なっている。

【0102】データ処理部9は、図17(c)、(d)のDMA転送用レジスタと、そのフィールドFMに指定されたフレームメモリに対応するフレームメモリレジス

タ（例えば図19）とを参照する。そして、1ピクセルあたりのビット数に応じて図21（d）、図22

（d）、図23（d）のいずれかに従って、バンク、ロウアドレス及びコラムアドレスを求め、更にロウアドレスにフレームメモリレジスタのベースアドレス（例えばフィールドF0addの値）を加算して、データ転送先のアドレスを求める。

【0103】データ処理部9は、ホストCPU1がフレームバッファ領域22へ転送する画像を含むように設定した矩形領域の横幅と、最初に転送するピクセルの座標とから、この矩形領域を知ることができる。データ処理部9は、この矩形領域のピクセルのデータを、最初に転送するピクセルの座標Yを一定として、このピクセルの座標Xから（矩形領域の左端から）順に座標Xを増加させながらワード単位でフレームバッファ領域22へ転送する。そして、矩形領域の右端のピクセルのデータを転送し終わると、座標Yを1だけ増加させて同様に左から右の順でピクセルのデータをワード単位で転送することを、設定されたワード数を転送し終わるまで繰り返す。

【0104】次に、パラメータの具体例について説明する。ピクセルタイプが8ビット／ピクセルであり、ホストCPU1がフレームバッファ領域22へ転送する画像を含むように設定した矩形領域の横幅が、64ピクセルであって、座標（X，Y）＝（32，1）にホストCPU1が描画を行う場合について説明する。以下では、値の末尾の“b”は、その値が2進数で表記されていることを示す。

【0105】この転送データのワード単位の座標は、（XB，YB）＝（8，1）であるので、ホストCPU1が、この転送データに対して与えるバイトアドレスの各フィールドは、図9（b）のように、

YB： 00 0000 0001b

XB： 1000b

である。また、データ転送先はフレームメモリFM0であるとする。図12（a）等を参照して、フィールドXBの幅は6ビットである。フレームバッファ領域22に書き込むことと、8ビット／ピクセルであることから、ホストCPU1は図14のフォーマット情報として、

FRAME\_NO： 0000b

X\_WIDTH： 0101b

RASTER\_ON： 1b

PIXEL\_TYPE： 10b

を設定する。

【0106】転送パラメータ生成部14は、図15を参照して説明したように、バイトアドレスから座標への変換等を行って、転送パラメータとして、

Y： 00 0000 0001b

X： 000 0010 0000b

Length： 0000 0000 0000 0100b

を生成し、データ処理部9に出力する。

【0107】データ処理部9は、データ転送先の先頭アドレスを指定するための32ビットのDMA転送用レジスタ（図17（c））に、

0000.0000 0000 0001 1000 0000 0010 0000b

を設定する。ここで、フレームバッファ領域22のフレームメモリFM0に書き込みを行うことから、RW＝0，AT＝1，FM＝0000としている。また、データ処理部9は、フィールドLengthの値に基づいて、転送ピクセル数を指定するための16ビットのDMA転送用レジスタ（図17（d））に、

0000 0000 0000 0100b

を設定する。

【0108】データ処理部9は、これらのDMA転送用レジスタの値に基づき、図21（d）の式を用いて、ロウアドレス、コラムアドレス及びバンクを求める。更に、データ処理部9は、求められたロウアドレスと予め設定されたフレームメモリFM0のベースアドレス（0008とする）とを加算し、ローカルメモリ20の転送先の先頭のアドレスを求める。すなわち、

ロウアドレス： 0008

コラムアドレス： 08

バンク： 1

が求められる。

【0109】例えば座標（X，Y）＝（32，1）を最初に転送されるピクセルとし、20ワード（80ピクセル）を転送する場合のように、多数のピクセルのデータを転送する場合も同様である。この場合、転送パラメータ生成部14は、Length＝101 0000bとし、データ処理部9は、16ビットのDMA転送用レジスタに、0000 0000 0101 0000bを設定する。

【0110】ピクセルタイプが16ビット／ピクセル、及び24ビット／ピクセルの場合も同様に説明できるが、ここでは省略する。

【0111】ホストCPU1からローカルメモリ20のフレームバッファ領域22へのデータ転送について説明したが、逆にフレームバッファ領域22からホストCPU1へのデータ転送も同様にすることができる。

【0112】このように、図1のデータ転送装置によると、転送パラメータ生成部14が転送パラメータ生成を行うので、ホストCPU1がソフトウェアによって行う場合に比べてデータ転送を高速に行うことができる。また、ホストCPU1がその演算結果をフレームバッファ領域22に書き込んだり、フレームバッファ領域22のデータを読み出したりすることができる。

【0113】なお、データバッファ11として、FIFO（first in, first out）バッファを用いてもよい。

【0114】また、ローカルメモリ20においては、1ページに256ワード（8ビット／ピクセルの場合は、1024ピクセル）が格納され、X方向に32ピクセル

毎に異なるページにピクセルが格納される場合について説明したが、ページ毎の容量や画面上の座標とその位置のピクセルが格納されるローカルメモリ20のアドレスとの関係は、本実施形態で説明したもの以外であってもよい。

【0115】(第2の実施形態)図24は、本発明の第2の実施形態に係るデータ転送装置のブロック図である。図24のデータ転送装置は、図1のデータ転送装置において、インタフェース部10の代わりにインタフェース部110を備えたものである。また、図24においては、バス調停器4がシステムバス3を管理している。図24のデータ転送装置は、複数チャネルを用いてデータ転送を行うことができるものである。

【0116】インタフェース部110は、データバッファ11と、アドレスデコーダ112と、制御レジスタ13A、13B、13Cと、転送パラメータ生成部114と、システムデータバッファ15A、15B、15Cと、システムデータバッファ制御器16A、16B、16Cと、データ転送監視制御器17とを備えている。

【0117】システムデータバッファ制御器16Aは、ホストCPU1から起動されるとシステムデータバス3のバスマスタとして動作し、メインメモリ2からシステムデータバッファ15Aへシステムバス3を経由してデータを転送する。同様に、システムデータバッファ制御器16B、16Cは、ホストCPU1から起動されるとシステムデータバス3のバスマスタとして動作し、それぞれメインメモリ2からシステムデータバッファ15B、15Cへシステムバス3を経由してデータを転送する。

【0118】このように、システムデータバッファ15A、15B、15Cは、システムデータバッファ制御器16A、16B、16Cにそれぞれ対応している。また、制御レジスタ13A、13B、13Cは、システムデータバッファ15A、15B、15Cにそれぞれ対応しており、対応するシステムデータバッファを用いたデータ転送のための制御データを格納する。制御データをチャネル毎に設定することができるので、チャネル毎に異なったフォーマットのデータを転送することができる。

【0119】アドレスデコーダ112は、入力されたアドレスをデコードし、データバッファ11に格納されたデータの転送先が制御レジスタ13A、13B、13C、及びローカルメモリ20のいずれであるかの判別を行い、判別結果を転送パラメータ生成部114に出力する。判別結果が制御レジスタ13A、13B、13Cのいずれかであるときは、アドレスデコーダ112は、データバッファ11のデータを判別結果に従って制御レジスタに転送する。制御レジスタ13A、13B、13Cは、それぞれシステムデータバッファ15A、15B、15Cに対応しており、それぞれに設定されたローカル

メモリ20にアクセスするための情報を転送パラメータ生成部114に出力する。

【0120】データ転送監視制御器17は、システムデータバッファ制御器16A、16B、16Cに問い合わせを行い、システムデータバッファ15A、15B、15Cのいずれにデータが格納されているかを調べる。データ転送監視制御器17は、システムデータバッファ15A、15B、15Cのうち、データ転送に用いるものを選択して転送パラメータ生成部114に通知する。転送パラメータ生成部114は、データ転送監視制御器17からの通知に従って、制御レジスタ13A、13B、13Cのうち、選択されたシステムデータバッファに対応したものが出力する制御データを選択し、転送パラメータを生成してデータ処理部(SDRAMインタフェース)9に出力する。

【0121】選択されたシステムデータバッファ15A、15B、15Cは、格納しているデータをデータバッファ11を介してデータ処理部9に出力する。データ処理部9は、転送パラメータに従って、ローカルメモリ20にデータの書き込みを行う。

【0122】また、データ転送監視制御器17は、システムデータバッファ15A、15B、15Cのデータがローカルメモリ20に書き込まれたか否かを監視している。更に、システムデータバッファ15A、15B、15Cに転送前のデータが格納されている場合は、そのシステムデータバッファにはホストCPU1やメインメモリ2からのデータを書き込まないようにする。

【0123】システムデータバッファ15Aを用いてローカルメモリへの書き込みを行う場合について説明する。まず、ホストCPU1がシステムデータバッファ制御器16Aを起動する。システムデータバッファ制御器16Aは、バス調停器4にシステムバス3の使用を要求する。システムデータバッファ制御器16Aは、バス権を取得すると、メインメモリ2からシステムデータバッファ15Aにデータを転送する。

【0124】システムデータバッファ制御器16Aは、システムデータバッファ15Aからデータバッファ11にデータを転送する。データ転送監視制御器17は、制御レジスタ13Aの制御データを参照するように、転送パラメータ生成部114に通知する。

【0125】その後は、図1のデータ転送装置の場合と同様なので、詳細は省略する。システムデータバッファ15B、15Cを用いた場合も同様であり、ホストCPU1は、システムデータバッファ15A、15B、15Cのうち空いているものを使ってデータ転送を行うことができる。したがって、データ処理部9等がデータ転送中であっても、ホストCPU1は、システムデータバッファ15A、15B、15Cとの間で新たなデータ転送を開始することができる。

【0126】この場合、ホストCPU1から見ると、ロ

ーカルメモリ20に対して複数のチャネルを介してアクセスすることができるように見える。ホストCPU1が、ローカルメモリ20に対する書込みと、ローカルメモリ20からの読み出しとを並行して指示することもできる。このように、図24のデータ転送装置によると、ハードウェア規模をあまり大きくすることなく、データ転送の効率を向上させることができ、3チャネルのデータ転送経路を備えた場合に近い効果が得られる。

【0127】ホストCPU1からローカルメモリ20のフレームバッファ領域22へのデータ転送について説明したが、逆にフレームバッファ領域22からホストCPU1へのデータ転送も同様に行うことができる。

【0128】なお、データ転送装置が、制御レジスタ、システムデータバッファ及びシステムデータバッファ制御器を3個ずつ備え、3チャネルを用いてデータ転送を行う場合について説明したが、チャネル数は3には限らない。

【0129】また、以上の実施形態では、ローカルメモリ20はSDRAMであるとして説明したが、他の種類のメモリであってもよい。他の種類のメモリを用いる場合は、データ処理部（SDRAMインタフェース）9をそのメモリに適した動作をするものとするればよい。

【0130】（第3の実施形態）第1の実施形態において説明したデータ転送装置では、ホストCPU1が、システムバス3とフレームバッファ領域22との間でデータ転送を行うために制御レジスタ13にフォーマット情報を設定した後、システムバス3と汎用領域21との間でのデータ転送を行うためには、再び制御レジスタ13の設定を変更する必要がある。したがって、システムバス3と汎用領域21との間のデータ転送を行うタイミングと、システムバス3とフレームバッファ領域22との間のデータ転送を行うタイミングとの逐次性が保たれている必要がある。

【0131】しかし、OS（operating system）ベースで複数のアプリケーションが動作するようなシステムにおいては、このような逐次性は必ずしも保証されない。このため、フレームバッファ領域22との間でデータ転送を行うために制御レジスタ13にフォーマット情報が設定された後に汎用領域21へのデータ転送を行うと、インタフェース部10は汎用領域21へのデータ転送をフレームバッファ領域22へのデータ転送として処理するため、データフォーマットの整合性が崩れてしまうという問題があった。

【0132】この問題について詳しく説明する。図25は、OS上で複数のアプリケーションが動作するシステムの説明図である。図25のデータ転送装置261は、図1のデータ処理部9及びインタフェース部10を備えたデータ転送装置に、図25のローカルメモリ262は、図1のローカルメモリ20に対応するものとする。ハードウェア260は、データ転送装置261とローカ

ルメモリ262とを備えている。データ転送装置261は、OS254とローカルメモリ262との間のインタフェースとして動作する。

【0133】アプリケーション251、252、253は、それぞれOS254上で並行して動作するものとする。OS254は、アプリケーション251、252、253からハードウェア260へのデータ転送が、データ転送装置261の制御レジスタ、ローカルメモリ262の汎用領域、ローカルメモリ262のフレームバッファ領域のいずれへの転送であるかによって、デバイスドライバ255、256、257の中から必要なデバイスドライバに対してリクエストを発行し、データ転送許可を受けた後、アプリケーション251、252、253に対してデータ転送許可を発行する。

【0134】このようなシステムにおいては、OS254がデバイスドライバ255、256、257にリクエストを発行した順序と、デバイスドライバ255、256、257から使用許可を受け、実際にデータ転送を行う順序とが一致することが必ずしも保証されるものではない。

【0135】図26は、1つのネットワーク上に複数のマスタデバイスが接続されたシステムの説明図である。図26のデータ転送装置281は、図1のデータ処理部9及びインタフェース部10を備えたデータ転送装置に、図26のローカルメモリ282は、図1のローカルメモリ20に対応するものとする。スレーブデバイス280は、データ転送装置281とローカルメモリ282とを備えている。

【0136】マスタデバイス271、272、273はそれぞれ独立してスレーブデバイス280にデータ転送を行う。このようなシステムにおいては、マスタデバイス271、272、273からスレーブデバイス280へのデータ転送の順序が必ずしも保証されない。

【0137】そこで、本実施形態では、図25や図26のようなシステムにおいて、図1の制御レジスタ13への設定のタイミング、並びに汎用領域21及びフレームバッファ領域22へのデータ転送のタイミングの間で逐次性が崩れた場合においても、データフォーマットの整合性を保証するデータ転送装置について説明する。具体的には、ホストCPU1が出力し、システムバス3から入力されたアクセス先、すなわち、データの転送先又は転送元を示すアドレスがローカルメモリ20内の所定の領域にあるときは、強制的に汎用領域21へのアクセスであるとして扱うこととする（以下では、強制汎用領域アクセスという）。

【0138】図27は、本発明の第3の実施形態に係るデータ転送装置のブロック図である。図27のデータ転送装置は、インタフェース部210と、データ処理部9とを備えている。インタフェース部210は、インタフェース部10におけるデータバッファ11、アドレスデ



コーダ12、制御レジスタ13、及び転送パラメータ生成部14に代えて、データバッファ211、アドレスデコーダ212、制御レジスタ213、及び転送パラメータ生成部214を備えている。また、インタフェース部210は、汎用領域21の設定に関する情報を格納するアドレス情報レジスタ215と、アドレス比較器216とを更に備えている。

【0139】データバッファ211、アドレスデコーダ212、制御レジスタ213、及び転送パラメータ生成部214の動作は、以下に特に説明する点を除いて、図1のデータバッファ11、アドレスデコーダ12、制御レジスタ13、及び転送パラメータ生成部14のそれぞれと同様である。

【0140】図28は、アドレス情報レジスタ215が格納するアドレス情報についての説明図である。ホストCPU1は、システムバス3及びデータバッファ211を経由して、アドレス情報レジスタ215に汎用領域21のアドレス情報を格納させる。図28のように、アドレス情報は、フィールドBASE\_ADDRESS、MODE\_SWITCH、CP\_SIZEの各フィールドを含んでいる。

【0141】図28において、フィールドBASE\_ADDRESSは、汎用領域21内の1のアドレス（例えば、この領域の最小のアドレス）を表すビット列のうちの上位のビット列を示しており、ホストCPU1によって設定される。このフィールドのビット幅は、例えば9ビットである。

【0142】フィールドMODE\_SWITCHは、強制汎用領域アクセスを行うか否か、すなわち、強制汎用領域アクセスモードを有効にするか否かを示す。このフィールドのビット幅は、例えば1ビットであって、その値と強制汎用領域アクセスモードとの関係は、例えば、  
0：強制汎用領域アクセスモードを無効とする  
1：強制汎用領域アクセスモードを有効とする  
である。

【0143】フィールドCP\_SIZEは、ホストCPU1が出力し、システムバス3から入力されたアドレスと、フィールドBASE\_ADDRESSに設定されたアドレス情報とをアドレス比較器216が比較する際に、それぞれの上位何ビットを用いるかを示す。このフィールドのビット幅は例えば3ビットであって、このフィールドの値と比較の際に用いられるビット数との関係は、例えば、

000：9ビット	001：8ビット
010：7ビット	011：6ビット
100：5ビット	101：4ビット
110：3ビット	111：2ビット

である。

【0144】アドレス比較器216は、アドレス情報レジスタ215が格納するアドレス情報のフィールドBA

SE\_ADDRESSに設定された値と、システムバス3から入力されたアドレスとの比較を、フィールドCP\_SIZEの設定に基づいて行い、その結果を転送パラメータ生成部214に出力する。したがって、フィールドBASE\_ADDRESS及びCP\_SIZEの値によって、アドレス比較器216による比較の結果、一致すると判定されるローカルメモリ20内の領域の位置と大きさが定まる。

【0145】転送パラメータ生成部214は、次の（e1）、（e2）のいずれかの場合には、アクセス先がフレームバッファ領域22内であるとして扱い、その他の場合は、アクセス先が汎用領域21内であるとして扱う。このため、フィールドBASE\_ADDRESS及びCP\_SIZEの値によって、汎用領域21が設定されることになる。

（e1）制御レジスタ213のフィールドRASTER\_ONが“1”であり、かつ、アドレス情報レジスタ215のフィールドMODE\_SWITCHが“0”である場合。

（e2）制御レジスタ213のフィールドRASTER\_ONが“1”、アドレス情報レジスタ215のフィールドMODE\_SWITCHが“1”であり、かつ、アドレス比較器216による比較結果が不一致である場合。

【0146】図27のデータ転送装置の動作の例について説明する。いま、汎用領域21との間のデータ転送、及びフレームバッファ領域22との間のデータ転送のいずれもが行われ得るものとし、制御レジスタ213のフィールドRASTER\_ONに“1”が設定されているものとする。また、アドレス情報レジスタ215のフィールドMODE\_SWITCHに“1”が設定され、強制汎用領域アクセスモードが有効になっているものとする。

【0147】ライトアクセス時には、データバッファ211は、システムバス3から入力されたデータを格納する。アドレスデコーダ212は、システムバス3から入力されたアドレスをデコードし、データバッファ211に格納されたデータの転送先が制御レジスタ213であるか、ローカルメモリ20であるかの判別を行い、判別結果を転送パラメータ生成部214に出力する。

【0148】データの転送先が制御レジスタ213である場合には、制御レジスタ213はデータバッファ211のデータを制御データとして格納する。データの転送先がローカルメモリ20である場合には、アドレス比較器216は、ホストCPU1から出力されるアドレスと、アドレス情報レジスタ215に設定されたフィールドBASE\_ADDRESSとの比較を行う。

【0149】比較の結果、両者が一致した場合には、転送パラメータ生成部214は、データの転送先が汎用領域21であるとして扱う。すなわち、この場合は、デー

タ転送先へのアクセスが強制的に汎用領域21へのアクセスとして行われる。転送パラメータ生成部214は、制御レジスタ213が格納する図13の制御データのうち、アドレスを変換することなく、デスティネーション側先頭アドレスと、転送ワード数とを転送パラメータとしてデータ処理部9に出力する。

【0150】比較の結果、両者が一致しなかった場合には、転送パラメータ生成部214は、データの転送先がフレームバッファ領域22であるとして扱う。この場合、転送パラメータ生成部214は、制御レジスタ213が格納する図13の制御データのうちのフォーマット情報に従って、バイトアドレスから座標への変換を行って転送パラメータを生成し、データ処理部9に出力する。いずれの場合においても、データ処理部9は、転送パラメータを用いて、データバッファ211から入力されたデータをローカルメモリ20へ転送する。

【0151】リードアクセス時には、読み出し対象のデータのアドレスがシステムバス3からアドレスデコーダ212に入力される。アドレスデコーダ212は、このアドレスをデコードし、データの転送元が制御レジスタ213、アドレス情報レジスタ215、又はローカルメモリ20のいずれであるかの判別を行い、判別結果を転送パラメータ生成部214及びアドレス比較器216に出力する。

【0152】データの伝送元がローカルメモリ20である場合には、アドレス比較器216は、ホストCPU1が出力し、システムバス3から入力されたアドレスと、アドレス情報レジスタ215に設定されたアドレス情報との比較を行う。

【0153】比較の結果、両者が一致した場合には、転送パラメータ生成部214は、データの転送元が汎用領域21であるとして扱う。すなわち、この場合は、データ転送元へのアクセスが強制的に汎用領域21へのアクセスとして行われる。転送パラメータ生成部214は、制御レジスタ213が格納する図13の制御データのうち、アドレスを変換することなく、デスティネーション側先頭アドレスと、転送ワード数とを転送パラメータとしてデータ処理部9に出力する。

【0154】比較の結果、両者が一致しなかった場合には、転送パラメータ生成部214は、データの転送元がフレームバッファ領域22であるとして扱う。この場合、転送パラメータ生成部214は、制御レジスタ213が格納する図13の制御データのうちのフォーマット情報に従って、バイトアドレスから座標への変換を行って転送パラメータを生成し、データ処理部9に出力する。いずれの場合においても、データ処理部9は、転送パラメータを用いて、ローカルメモリ20のデータを読み出し、データバッファ211に出力する。また、転送パラメータ生成部214は、データ処理部9が出力するデータを格納し、システムバス3を経由してホストCP

U1に出力するように、データバッファ211に対して制御を行う。

【0155】このように、本実施形態によると、アクセス先のアドレスに応じて転送パラメータの生成方法を切り換えるので、システムバスと汎用領域との間のデータ転送のタイミングと、システムバスとフレームバッファ領域との間のデータ転送のタイミングとの逐次性が保たれない場合においても、転送されるデータのフォーマットの整合性を保つデータ転送装置を提供することができる。

【0156】

【発明の効果】以上のように、本発明によると、アドレス生成を伴うローカルメモリとの間のデータ転送を高速化したデータ転送装置を提供することができる。システムバスマスタとしてのCPU等の負荷が軽くなるので、システム全体の動作の高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るデータ転送装置のブロック図である。

【図2】2つのバンクを持つ一般的なSDRAMの構成の例を示す模式図である。

【図3】(a)は、SDRAMのアドレスピンに通常割り当てられている3種類のアドレスの順を示す説明図である。(b)は、データ処理部が生成するアドレスのフォーマットを示す説明図である。

【図4】アクセス後、同一バンク、同一ロウアドレス(row address)にアクセスする場合のSDRAMの動作を示すタイミング図である。

【図5】アクセス後、同一バンク、異なるロウアドレスにアクセスする場合のSDRAMの動作を示すタイミング図である。

【図6】アクセス後、異なるバンクにアクセスする場合のSDRAMの動作を示すタイミング図である。

【図7】フレームバッファ領域におけるアドレスマッピングについての説明図である。

【図8】SDRAMが図7のようにマッピングされた場合における描画の際のオーバーヘッドについての説明図である。

【図9】(a)は、8ビット/ピクセルの場合に、ホストCPU上で扱う座標X、Yと、ワード単位の座標XB、YBとの関係を示す説明図である。(b)は、8ビット/ピクセルの場合のバイトアドレスのフォーマットについての説明図である。(c)及び(d)は、8ビット/ピクセルの場合に、1ワードに格納された4ピクセルのワード内における位置を示す説明図である。

【図10】(a)は、16ビット/ピクセルの場合に、ホストCPU上で扱う座標X、Yと、ワード単位の座標XB、YBとの関係を示す説明図である。(b)は、16ビット/ピクセルの場合の、バイトアドレスのフォーマットについての説明図である。(c)及び(d)は、

16ビット/ピクセルの場合に、1ワードに格納された2ピクセルのワード内における位置を示す説明図である。

【図11】(a)は、24ビット/ピクセルの場合に、ホストCPU上で扱う座標X、Yと、ワード単位の座標XB、YBとの関係を示す説明図である。(b)は、24ビット/ピクセルの場合の、バイトアドレスのフォーマットについての説明図である。(c)は、24ビット/ピクセルの場合に、1ワードに格納された1ピクセルのワード内における位置を示す説明図である。

【図12】(a)は、8ビット/ピクセルの場合の、転送される画像の幅に対するバイトアドレスのフィールドXB、YBの幅についての説明図である。(b)は、16ビット/ピクセルの場合の、転送される画像の幅に対するバイトアドレスのフィールドXB、YBの幅についての説明図である。(c)は、24ビット/ピクセルの場合の、転送される画像の幅に対するバイトアドレスのフィールドXB、YBの幅についての説明図である。

【図13】制御レジスタが格納するデータ転送のための制御データを示す説明図である。

【図14】制御レジスタが格納するフォーマット情報についての説明図である。

【図15】(a)は、8ビット/ピクセルの場合の転送パラメータ生成部におけるバイトアドレスから座標への変換についての説明図である。(b)は、16ビット/ピクセルの場合の転送パラメータ生成部におけるバイトアドレスから座標への変換についての説明図である。

(c)は、24ビット/ピクセルの場合の転送パラメータ生成部におけるバイトアドレスから座標への変換についての説明図である。

【図16】図1の転送パラメータ生成部の例についての説明図である。

【図17】(a)は、汎用領域に書き込みを行う場合に、デスティネーション側(転送先)の先頭アドレスを指定するための32ビットレジスタを示す説明図である。(b)は、汎用領域に書き込みを行う場合に、転送ワード数を指定するための16ビットレジスタを示す説明図である。(c)は、フレームバッファ領域に書き込みを行う場合に、デスティネーション側の先頭アドレスを指定するための32ビットレジスタを示す説明図である。(d)は、フレームバッファ領域に書き込みを行う場合に、転送ピクセル数を指定するための16ビットレジスタを示す説明図である。

【図18】図17のDMA転送用レジスタの各フィールドのビット数及び機能を示す説明図である。

【図19】データ処理部内のフレームメモリレジスタについての説明図である。

【図20】図19のフレームメモリレジスタの各フィールドのビット数及び機能を示す説明図である。

【図21】(a)は、8ビット/ピクセルの場合に、1

ワードに格納されるピクセルの例を示す説明図である。

(b)は、8ビット/ピクセルの場合に、フレームバッファ領域にマッピングされた画面とそのロウアドレスの例についての説明図である。(c)は、8ビット/ピクセルの場合に、横及び縦方向のページ数、並びに1画面を格納するために必要なフレームバッファ領域のビット数の例を示す説明図である。(d)は、8ビット/ピクセル、データの転送先がフレームバッファ領域の場合に、画面上のX、Y座標からアドレスを求める式を示す図である。

【図22】(a)は、16ビット/ピクセルの場合に、1ワードに格納されるピクセルの例を示す説明図である。(b)は、16ビット/ピクセルの場合に、フレームバッファ領域にマッピングされた画面とそのロウアドレスの例についての説明図である。(c)は、16ビット/ピクセルの場合に、横及び縦方向のページ数、並びに1画面を格納するために必要なフレームバッファ領域のビット数の例を示す説明図である。(d)は、16ビット/ピクセル、データの転送先がフレームバッファ領域の場合に、画面上のX、Y座標からアドレスを求める式を示す図である。

【図23】(a)は、24ビット/ピクセルの場合に、1ワードに格納されるピクセルの例を示す説明図である。(b)は、24ビット/ピクセルの場合に、フレームバッファ領域にマッピングされた画面とそのロウアドレスの例についての説明図である。(c)は、24ビット/ピクセルの場合に、横及び縦方向のページ数、並びに1画面を格納するために必要なフレームバッファ領域のビット数の例を示す説明図である。(d)は、24ビット/ピクセル、データの転送先がフレームバッファ領域の場合に、画面上のX、Y座標からアドレスを求める式を示す図である。

【図24】本発明の第2の実施形態に係るデータ転送装置のブロック図である。

【図25】OS上で複数のアプリケーションが動作するシステムの説明図である。

【図26】1つのネットワーク上に複数のマスタデバイスが接続されたシステムの説明図である。

【図27】本発明の第3の実施形態に係るデータ転送装置のブロック図である。

【図28】アドレス情報レジスタが格納するアドレス情報についての説明図である。

【図29】従来のデータ転送装置のブロック図である。

【符号の説明】

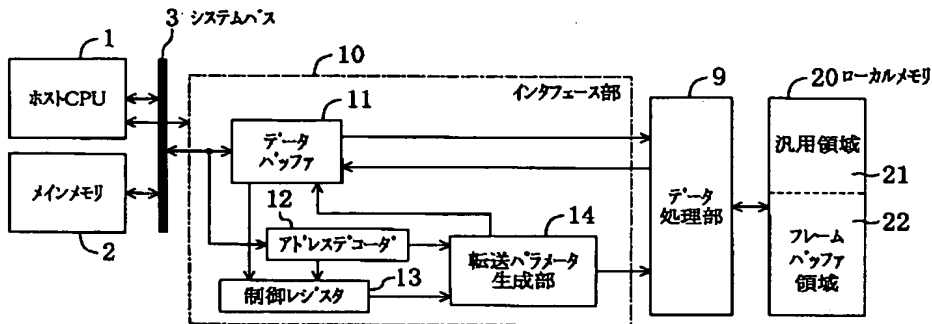
- 1 ホストCPU
- 2 メインメモリ
- 3 システムバス
- 4 バス調停器
- 9 データ処理部
- 10、110、210 インタフェース部

11, 211 データバッファ  
 12, 112, 212 アドレスデコーダ  
 13, 13A, 13B, 13C, 213 制御レジスタ  
 14, 114, 214 転送パラメータ生成部  
 15A, 15B, 15C システムデータバッファ  
 16A, 16B, 16C システムデータバッファ制御

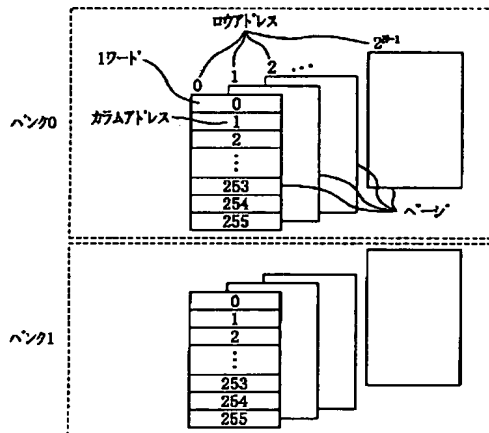
17 データ転送監視制御器  
 20 ローカルメモリ  
 21 汎用領域  
 22 フレームバッファ領域  
 215 アドレス情報レジスタ  
 216 アドレス比較器

器

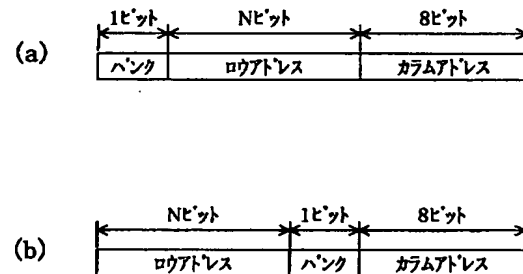
【図1】



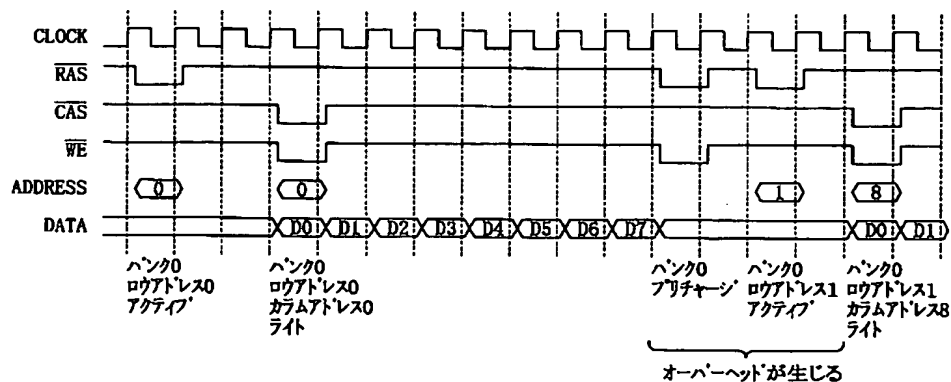
【図2】



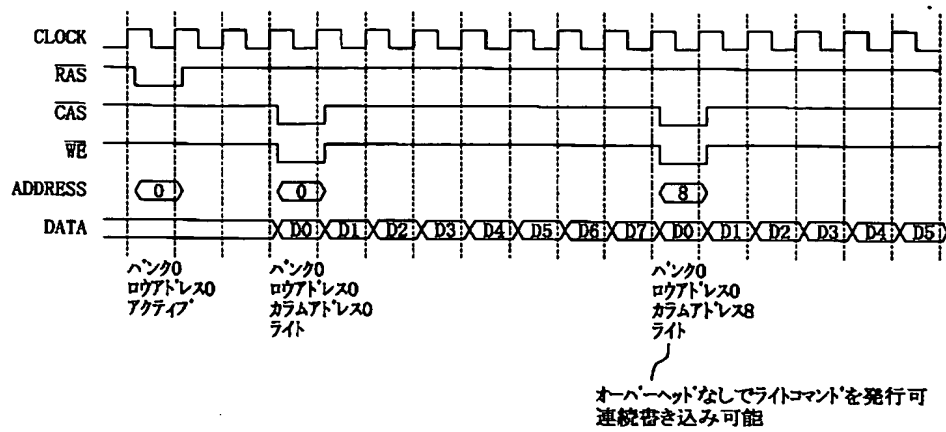
【図3】



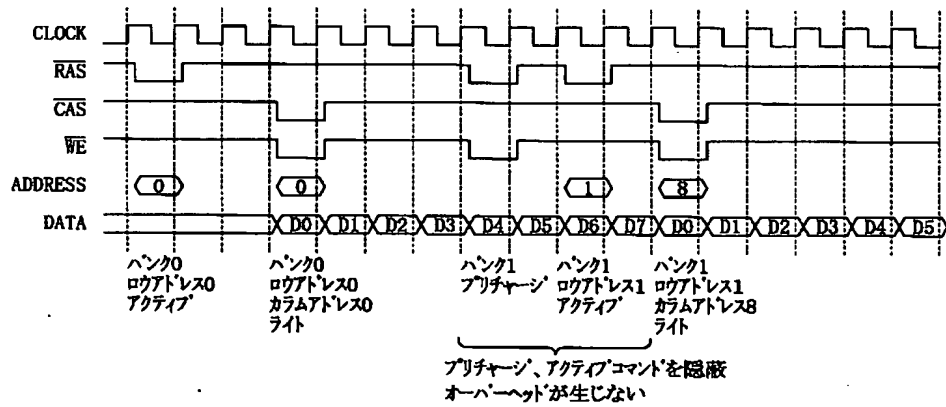
【図5】



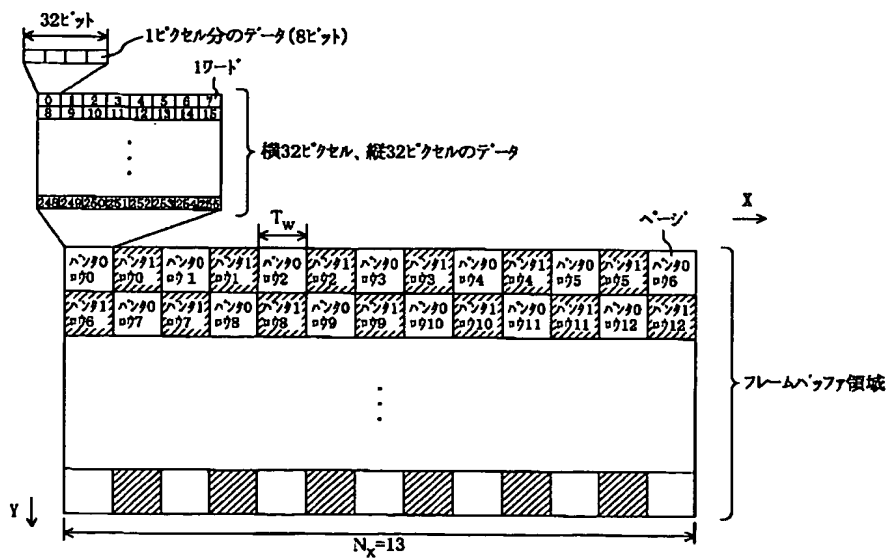
【図4】



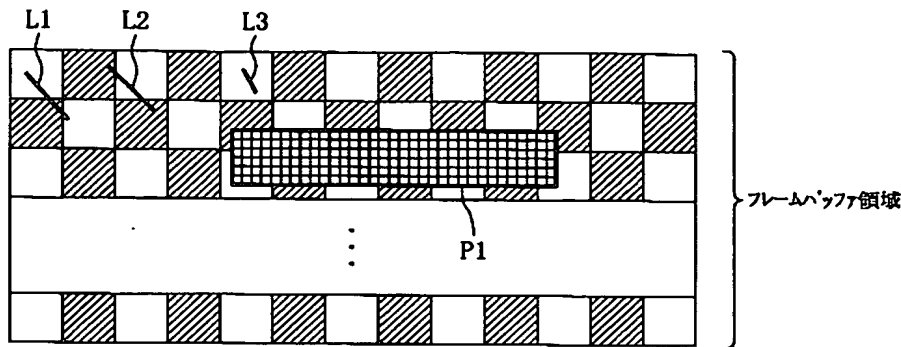
【図6】



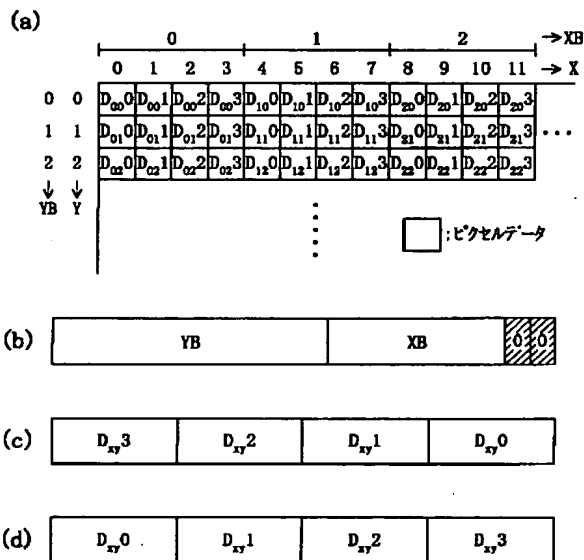
【図7】



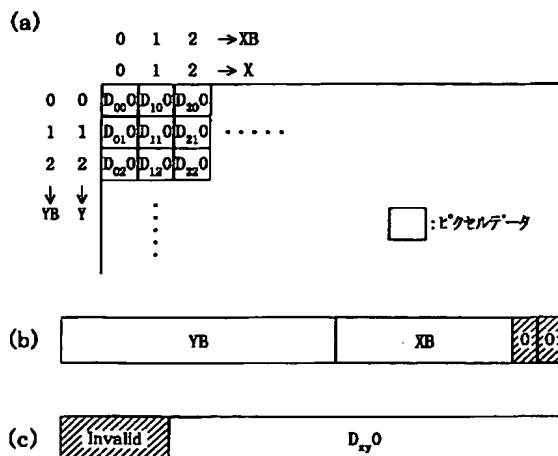
【図8】



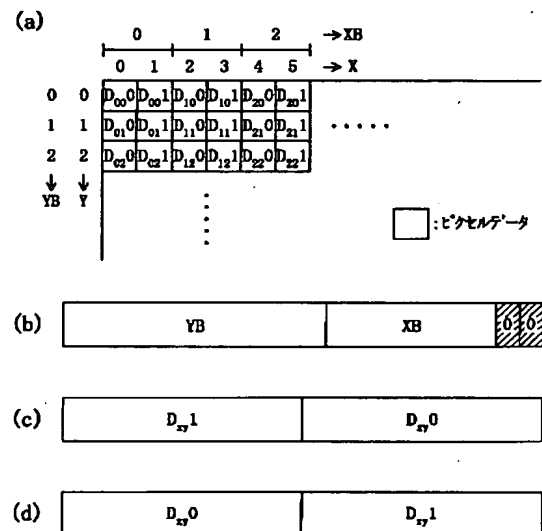
【図9】



【図11】



【図10】

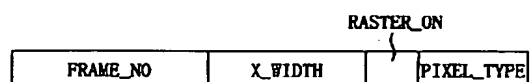


【図13】

制御レジスタアドレス

0	デスティネーション側先頭アドレス
1	伝送ワード数
2	DMA起動フラグ
3	フォーマット情報

【図14】



【図12】

(a)

画像の縦幅	XBの幅 (下位の"00"を含む)	YBの幅
1~32ピクセル	5ビット	27ビット
33~64ピクセル	6ビット	26ビット
65~128ピクセル	7ビット	25ビット
129~256ピクセル	8ビット	24ビット
257~512ピクセル	9ビット	23ビット
513~1024ピクセル	10ビット	22ビット

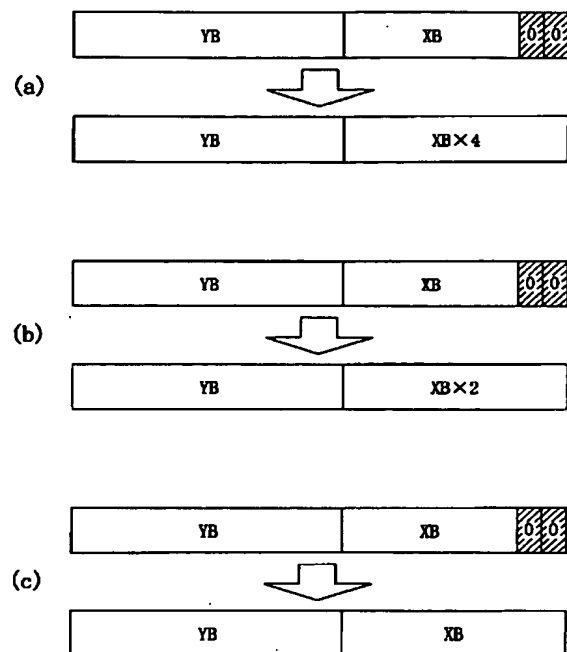
(b)

画像の縦幅	XBの幅 (下位の"00"を含む)	YBの幅
1~32ピクセル	6ビット	26ビット
33~64ピクセル	7ビット	25ビット
65~128ピクセル	8ビット	24ビット
129~256ピクセル	9ビット	23ビット
257~512ピクセル	10ビット	22ビット
513~1024ピクセル	11ビット	21ビット

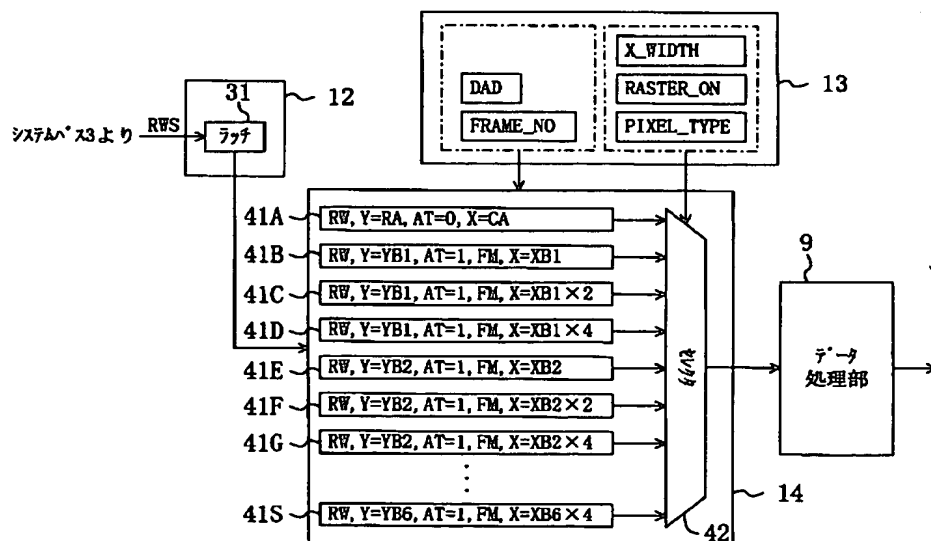
(c)

画像の縦幅	XBの幅 (下位の"00"を含む)	YBの幅
1~32ピクセル	7ビット	25ビット
33~64ピクセル	8ビット	24ビット
65~128ピクセル	9ビット	23ビット
129~256ピクセル	10ビット	22ビット
257~512ピクセル	11ビット	21ビット
513~1024ピクセル	12ビット	20ビット

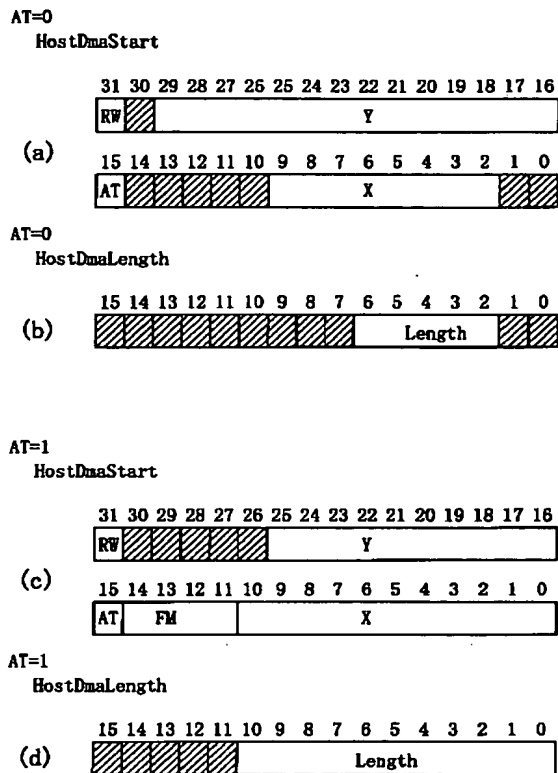
【図15】



【図16】



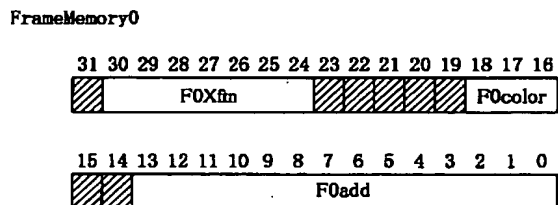
【図17】



【図18】

フィールド名	ビット数	機能
AT	1	ローカルメモリの領域の属性 0:汎用領域 1:フレームバッファ領域
FM	4	フレームメモリの選択 0000:FM0 0001:FM1 0010:FM2 0011:FM3 0100:FM4 0101:FM5 0110:FM6 0111:FM7 1000:FM8 1001:FM9 1010:FM10 1011:FM11
RW	1	読み出し書き込みの指定 0:書き込み 1:読み出し
X	8/11	DMA開始アドレス AT=0:下位アドレス AT=1:X座標
Y	14/10	DMA開始アドレス AT=0:上位アドレス AT=1:Y座標
Length	5/11	AT=0:DMA転送ワード数 AT=1:DMA転送ピクセル数

【図19】



【図20】

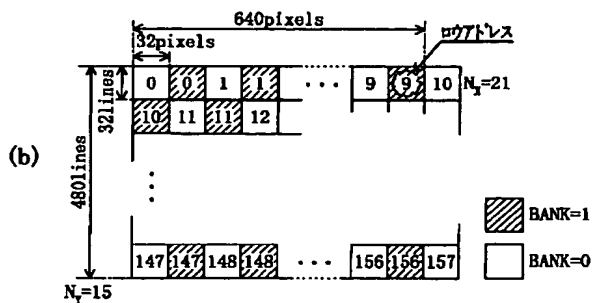
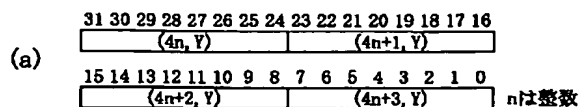
フィールド名	ビット数	機能
F0add	14	フレームメモリFM0のベースアドレス 原点座標のログアドレスを指定する。
F0color	3	1画素のビット数 000:8bit/pixel 001:16bit/pixel 010:24bit/pixel
FOXfm	7	フレームメモリのX方向サイズ 1単位は32画素 奇数値とする

【図28】

BASE_ADDRESS	MODE_SWITCH	CP_SIZE
--------------	-------------	---------



【図21】



(c)

画面サイズ	$N_x$	$N_y$	ビット数
320×240	11	8	720,896
400×240	13	8	851,968
640×480	21	15	2,580,480
800×480	25	15	3,072,000
960×480	31	15	3,809,280
1280×960	41	30	10,076,160
1920×960	61	30	14,991,360

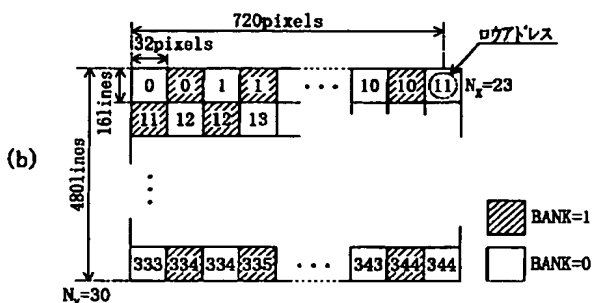
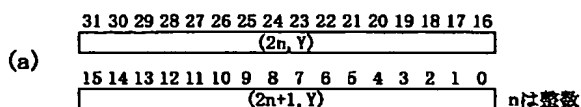
(d)

$$\text{RowAddress} = \frac{1}{2} \left( \frac{Y}{32} \times N_x + \frac{X}{32} \right)$$

$$\text{Bank} = \left( \frac{Y}{32} \times N_x + \frac{X}{32} \right) \% 2$$

$$\text{ColumnAddress} = (Y \% 32) \times 8 + \left( \frac{X}{4} \right) \% 8$$

【図22】



(c)

画面サイズ	$N_x$	$N_y$	ビット数
160×120	5	8	327,680
176×120	7	8	458,752
352×240	11	15	1,351,680
720×480	23	30	5,652,480

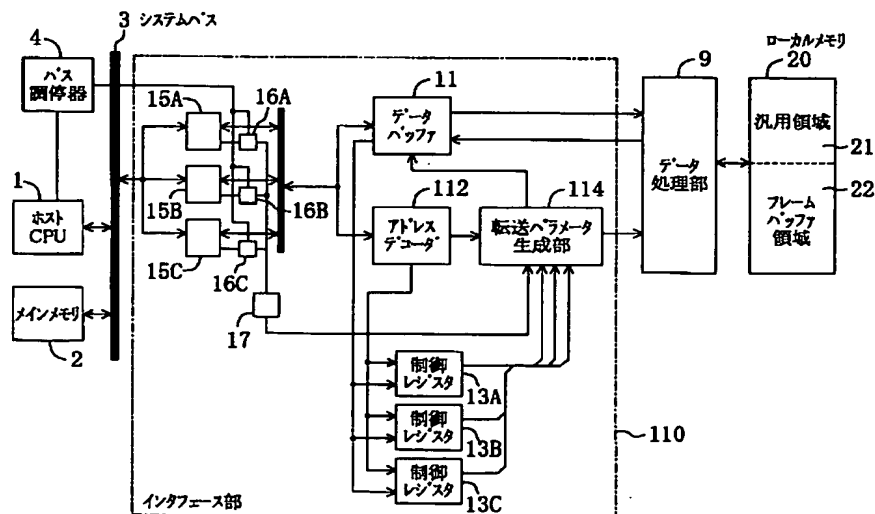
(d)

$$\text{RowAddress} = \frac{1}{2} \left( \frac{Y}{16} \times N_x + \frac{X}{32} \right)$$

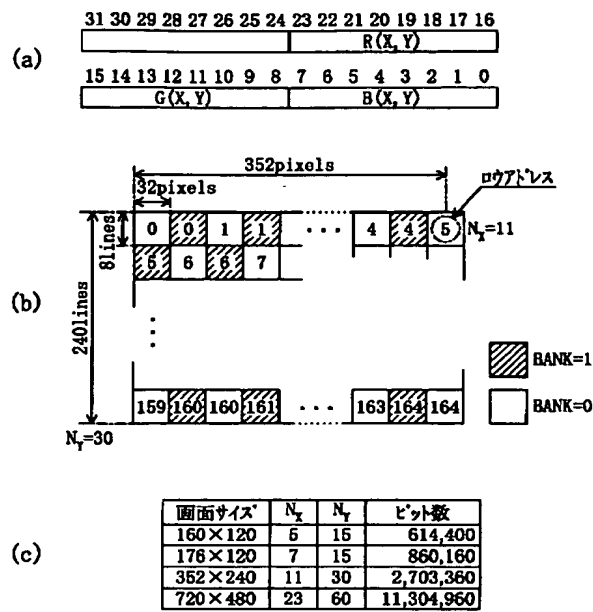
$$\text{Bank} = \left( \frac{Y}{16} \times N_x + \frac{X}{32} \right) \% 2$$

$$\text{ColumnAddress} = (Y \% 16) \times 16 + \left( \frac{X}{2} \right) \% 16$$

【図24】



【図23】



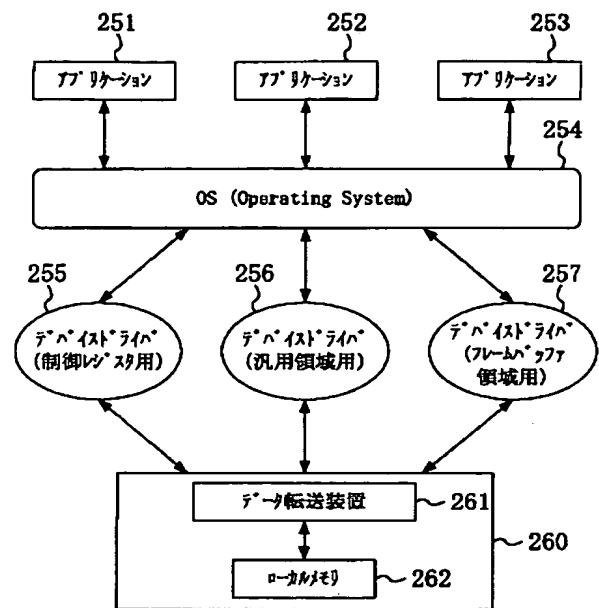
(d)

$$\text{RowAddress} = \frac{1}{2} \left( \frac{Y}{8} \times N_x + \frac{X}{32} \right)$$

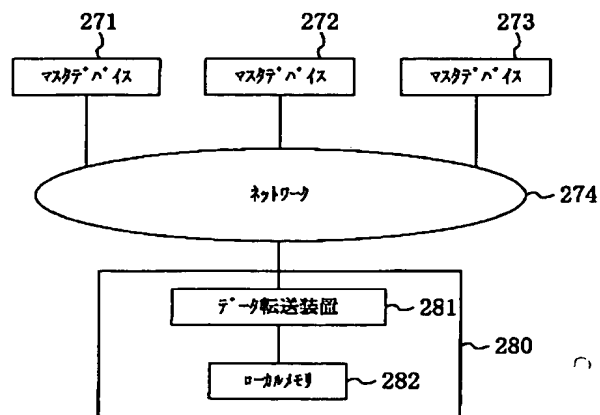
$$\text{Bank} = \left( \frac{Y}{8} \times N_x + \frac{X}{32} \right) \% 2$$

$$\text{ColumnAddress} = (Y \% 8) \times 32 + X \% 32$$

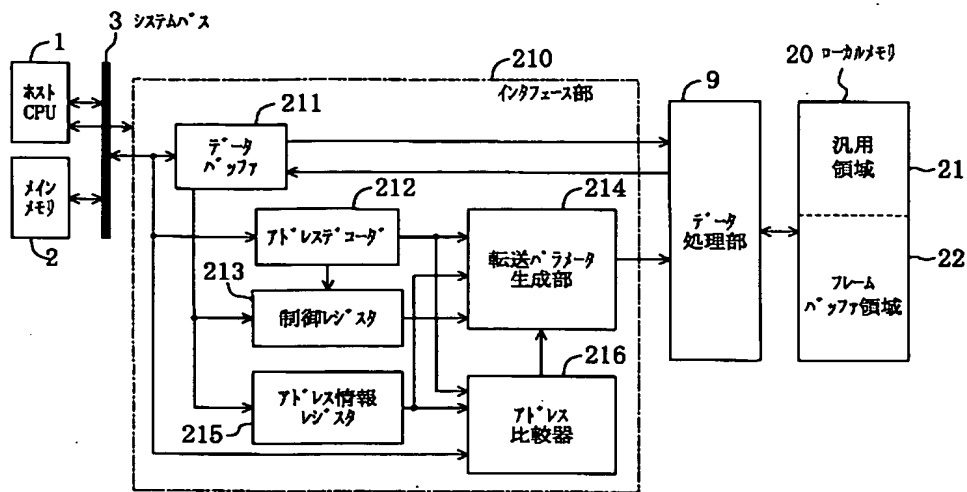
【図25】



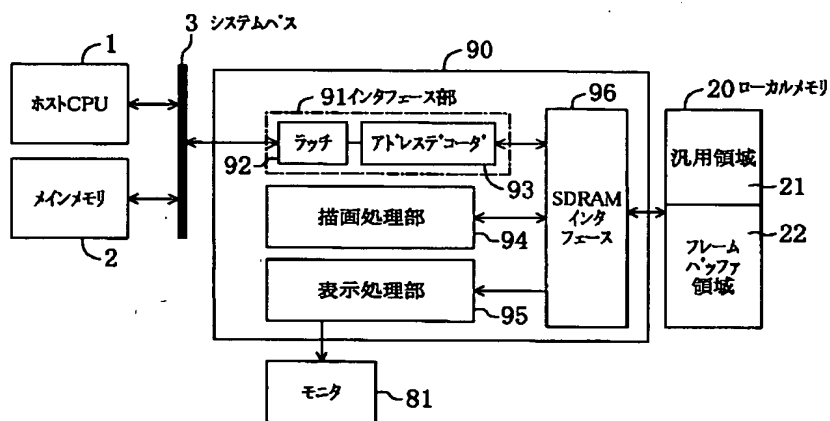
【図26】



【図 27】



【図 29】



フロントページの続き

(72)発明者 松下 賢治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 5B014 EB01 GD05 GD13 GD23 GD35  
HB06 HB28  
5B060 CA15 GA09 HA05